



i-PERC

電気通信大学

基礎電子工学CH-13

曽我部 東馬

電気通信大学

i-パワードエネルギーシステム研究センター(i-PERC)

概要：

PN接合を元にした半導体デバイス

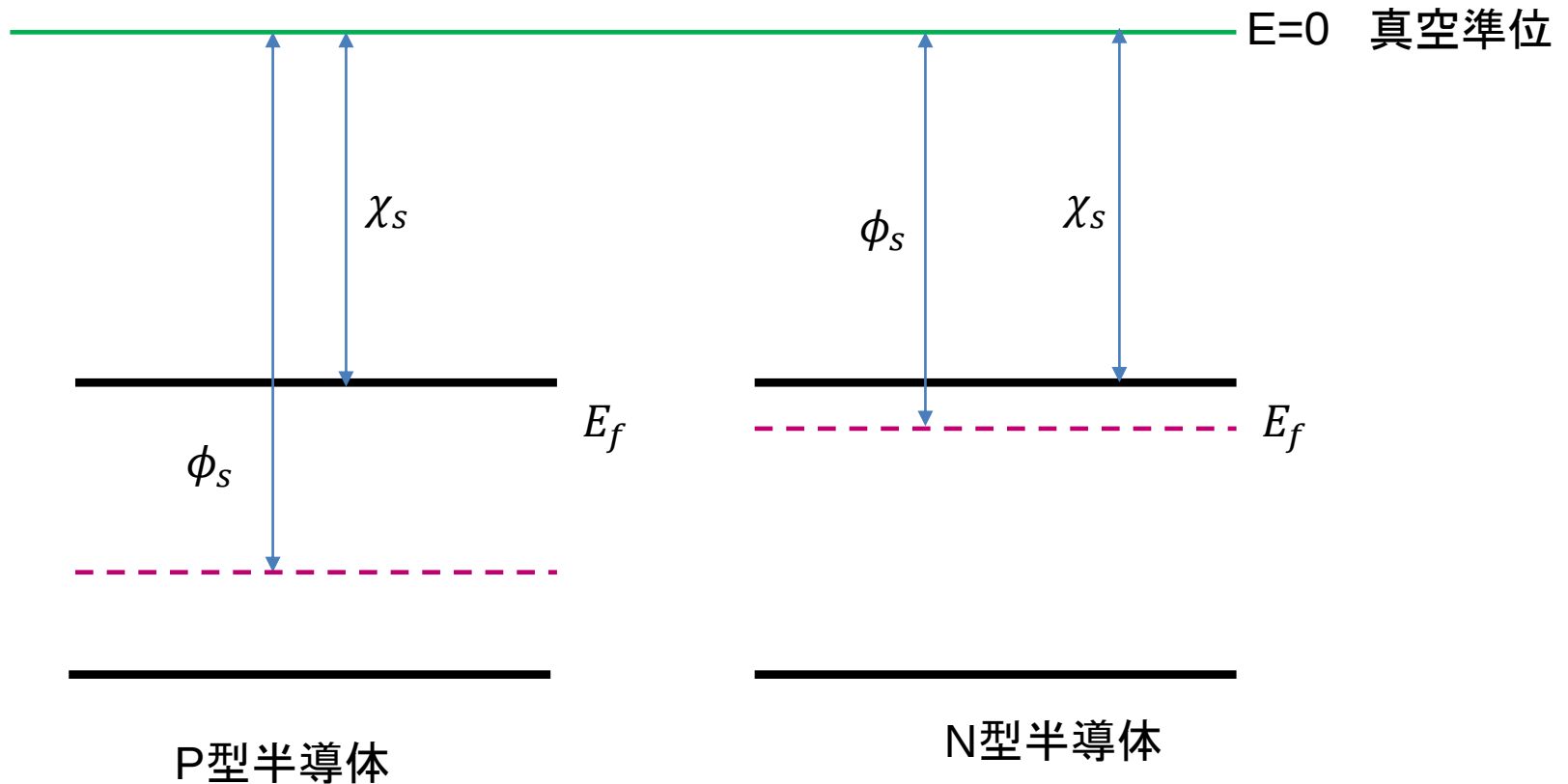
□ バイポーラトランジスタ

□ **金属と半導体の接合：電極の話**

□ **MOS-FETトランジスタ**

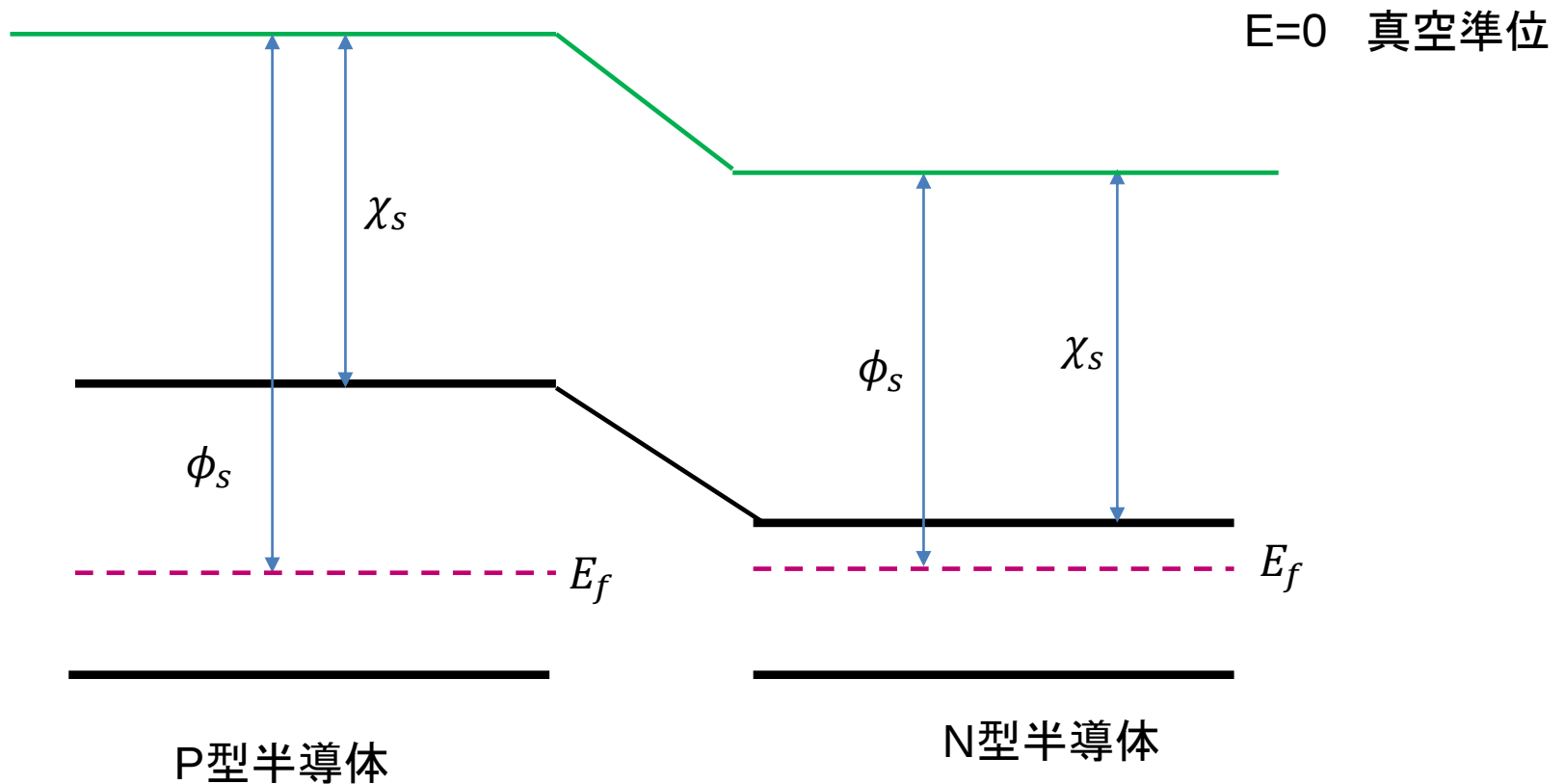
金属と半導体の接合： 電極の話

半導体と半導体の接合：



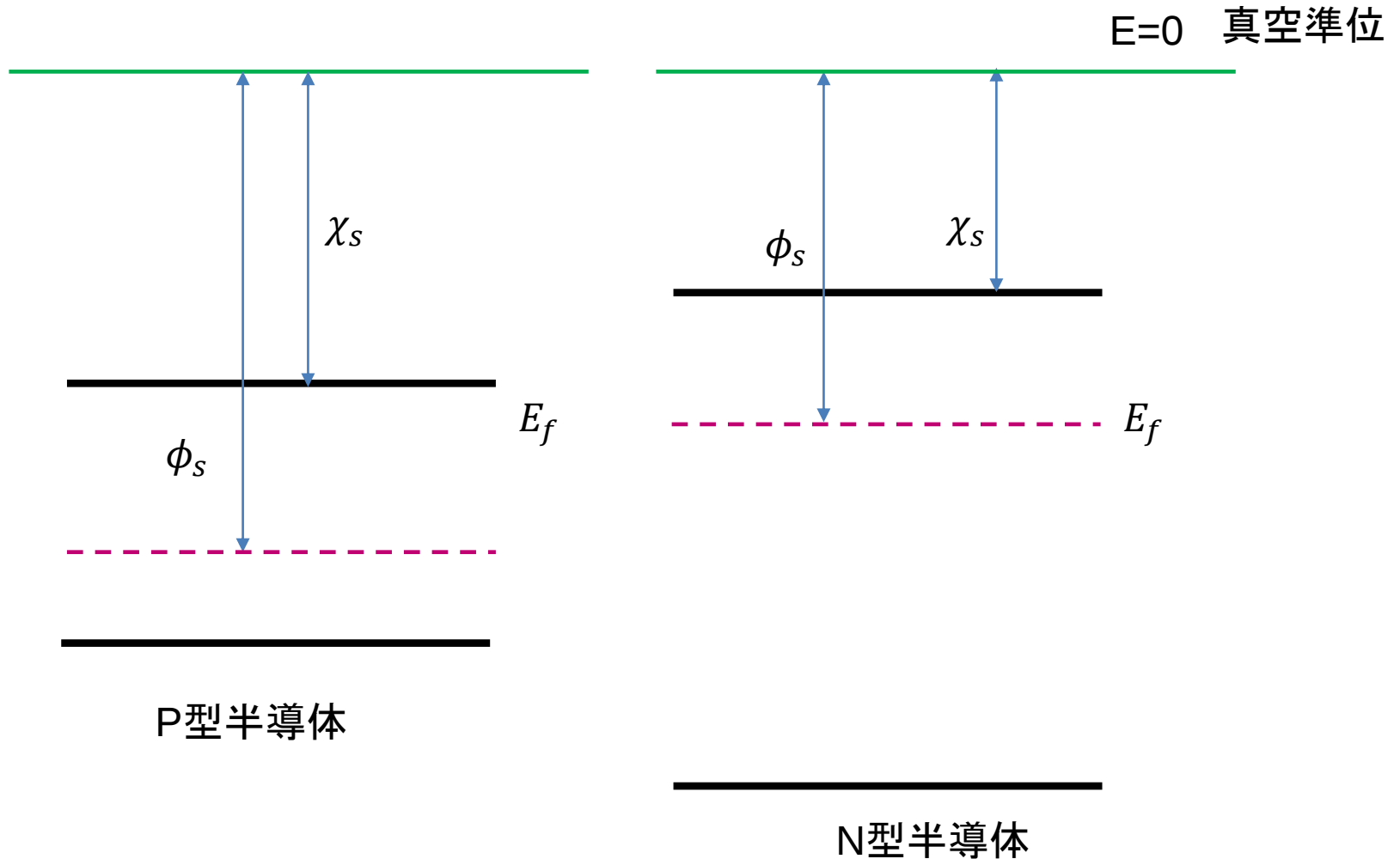
フェルミ準位から真空準位までのエネルギー：
半導体の場合：電子親和力

半導体と半導体の接合：

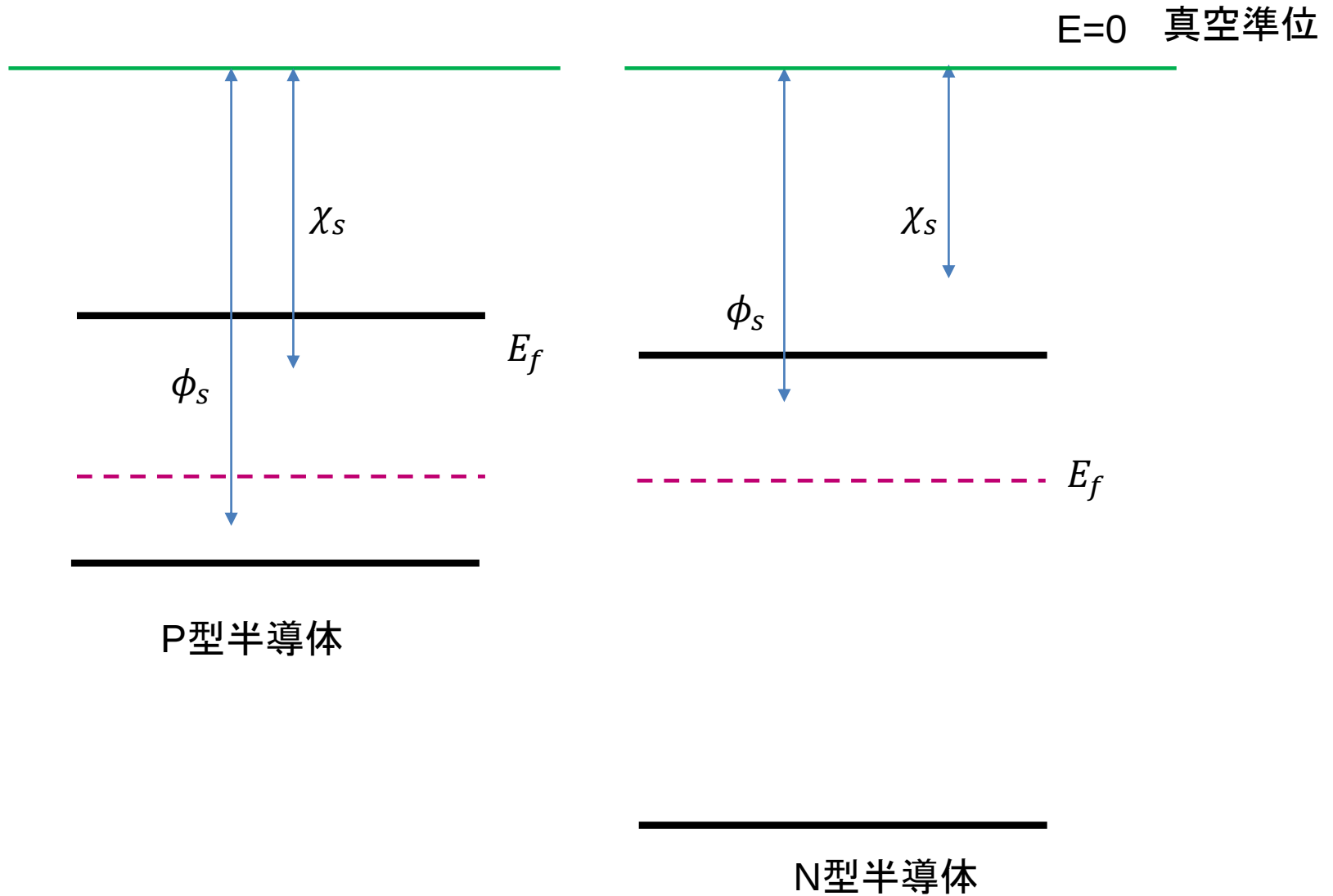


フェルミ準位から真空準位までのエネルギー：
半導体の場合：電子親和力

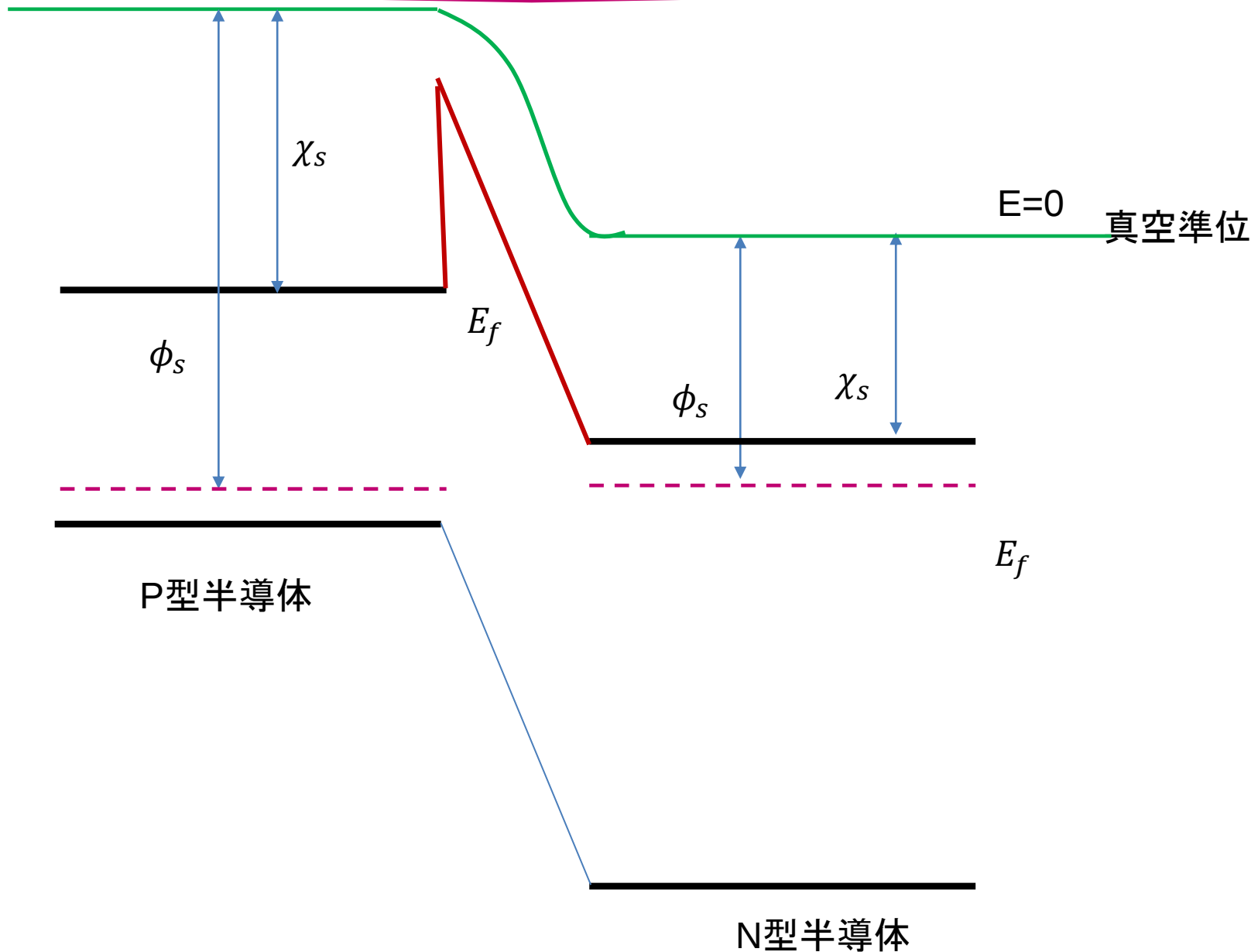
半導体と半導体の接合:



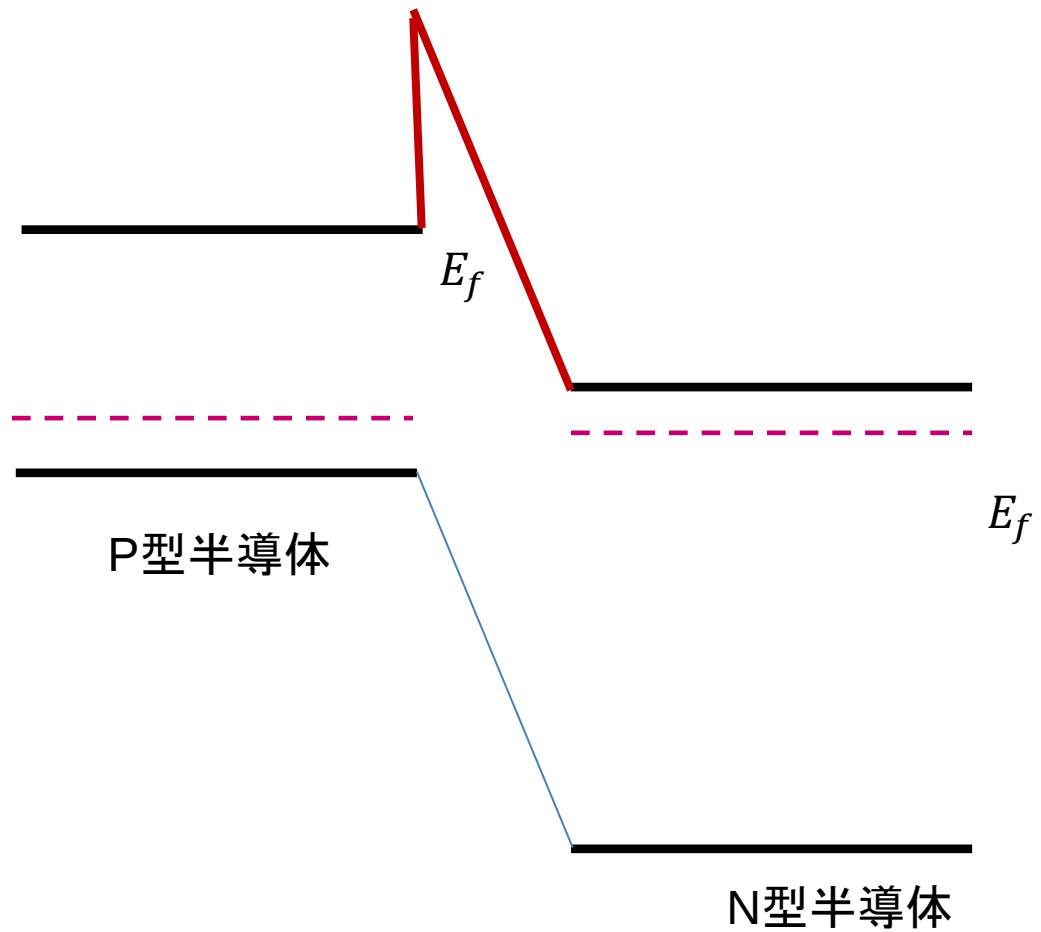
半導体と半導体の接合:



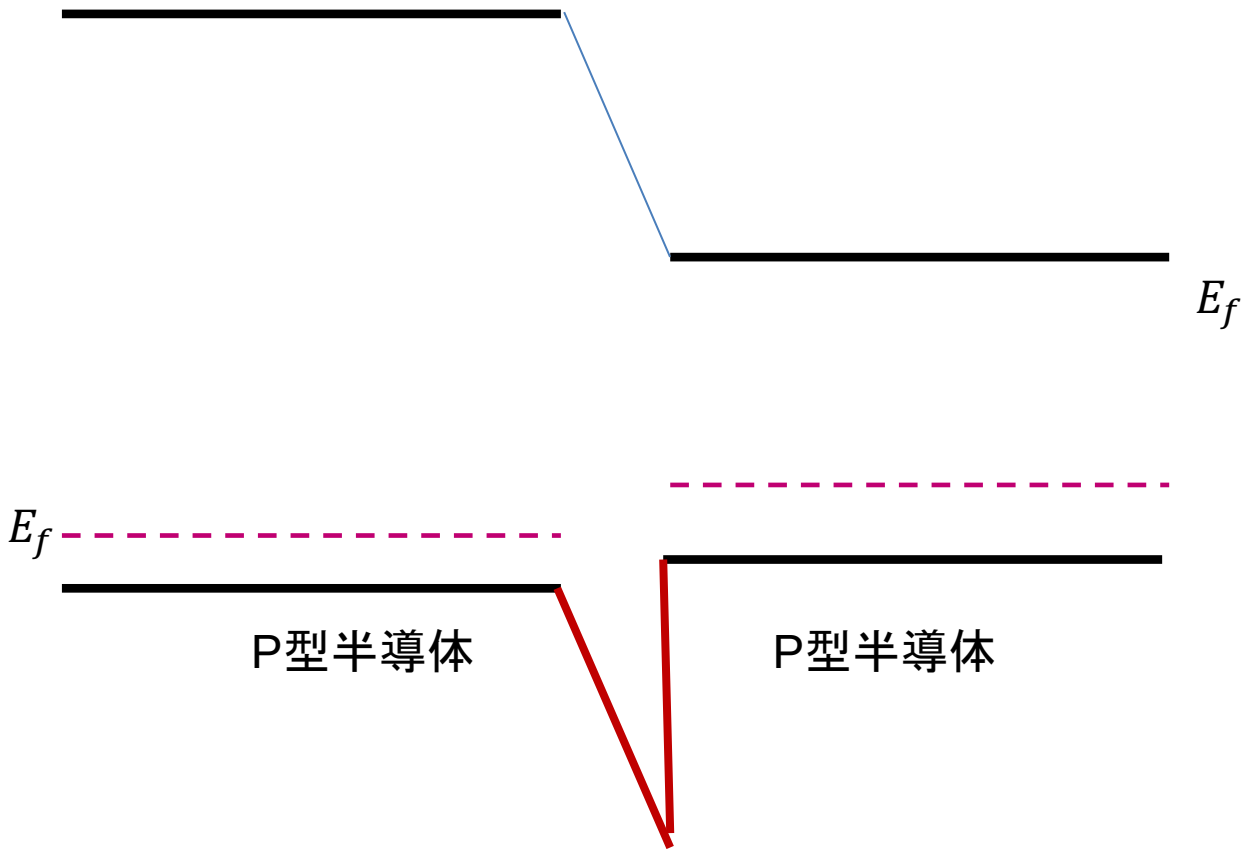
半導体と半導体の接合:



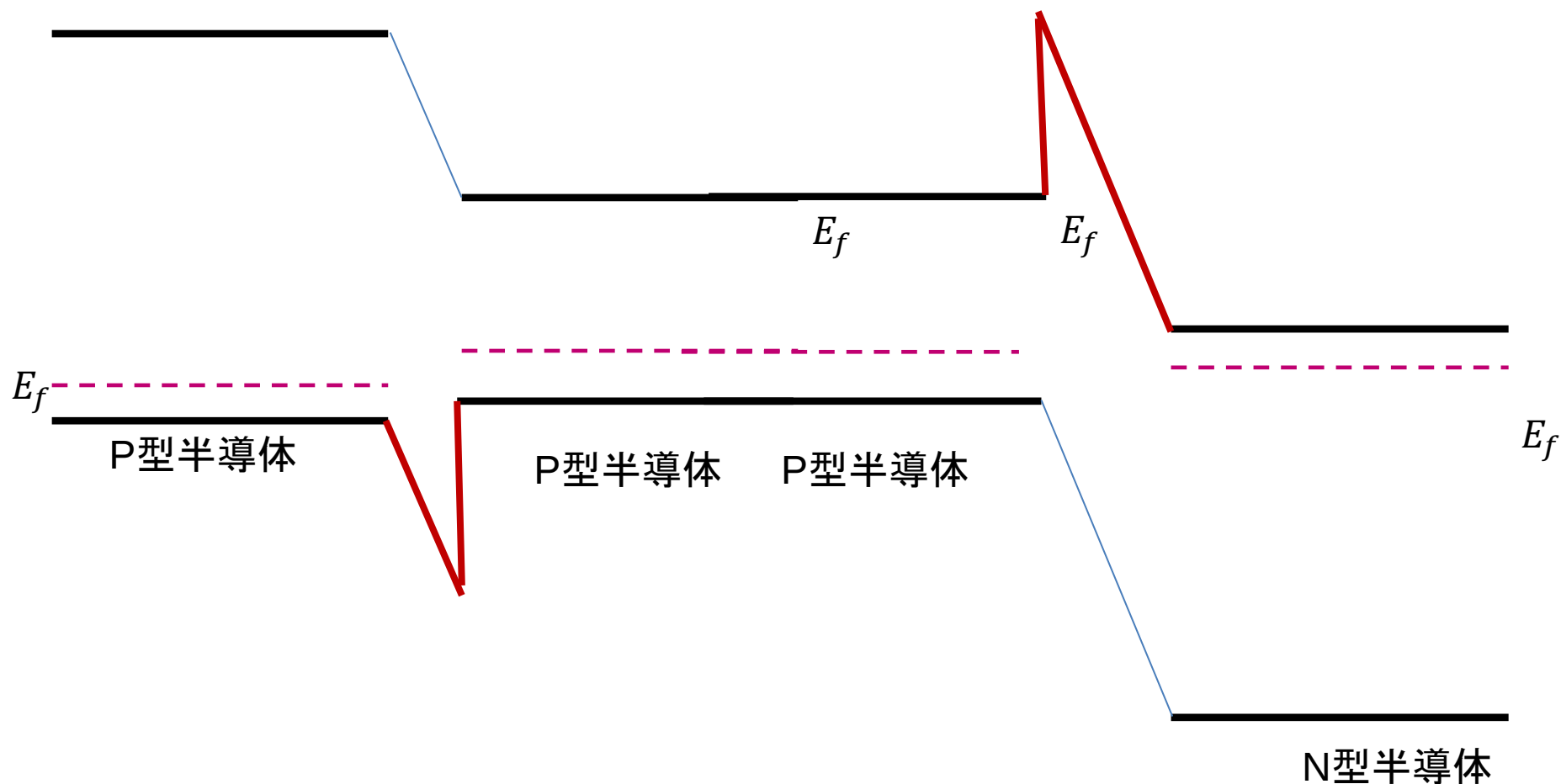
半導体と半導体の接合:



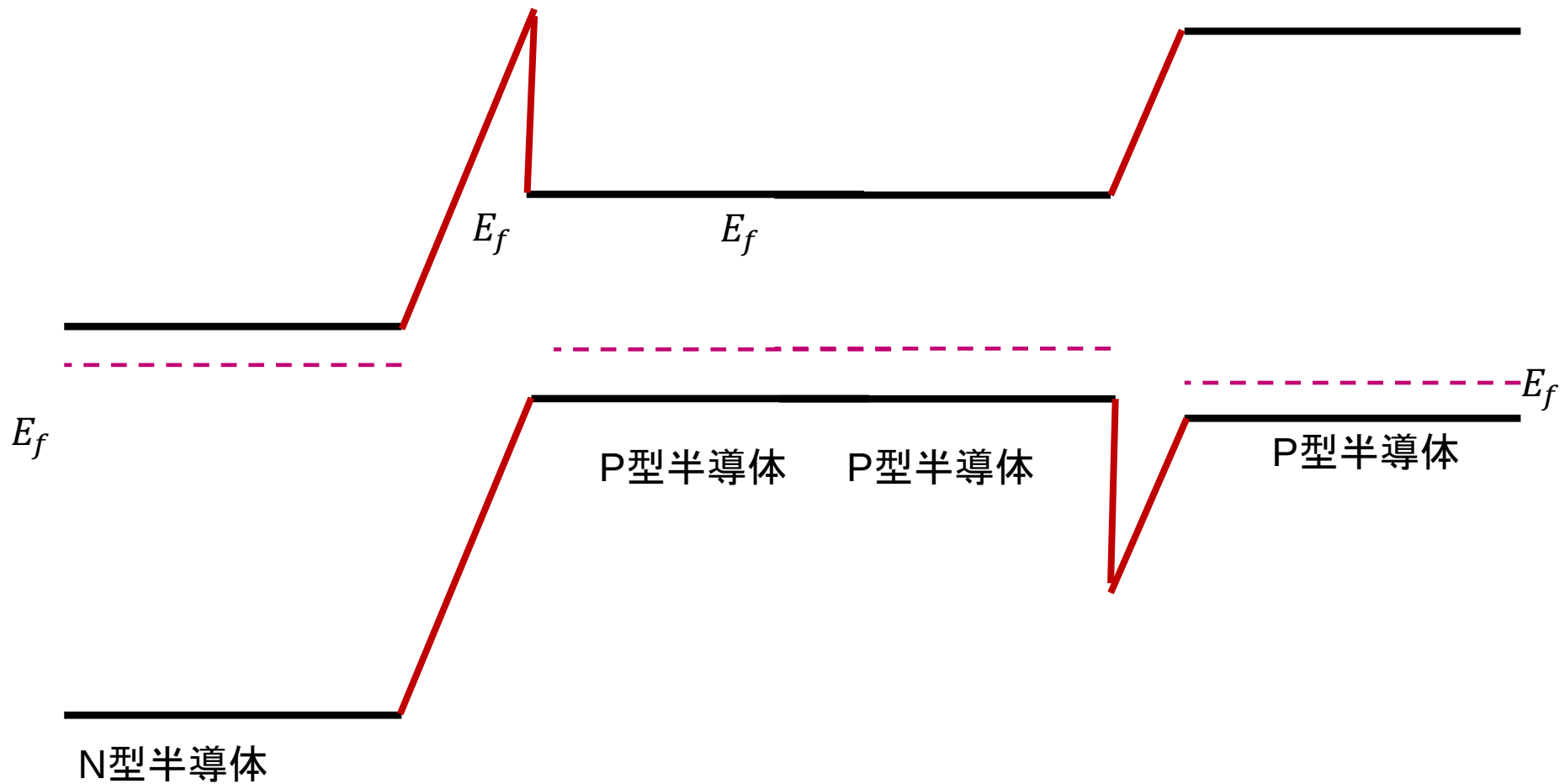
半導体と半導体の接合:



半導体と半導体の接合:

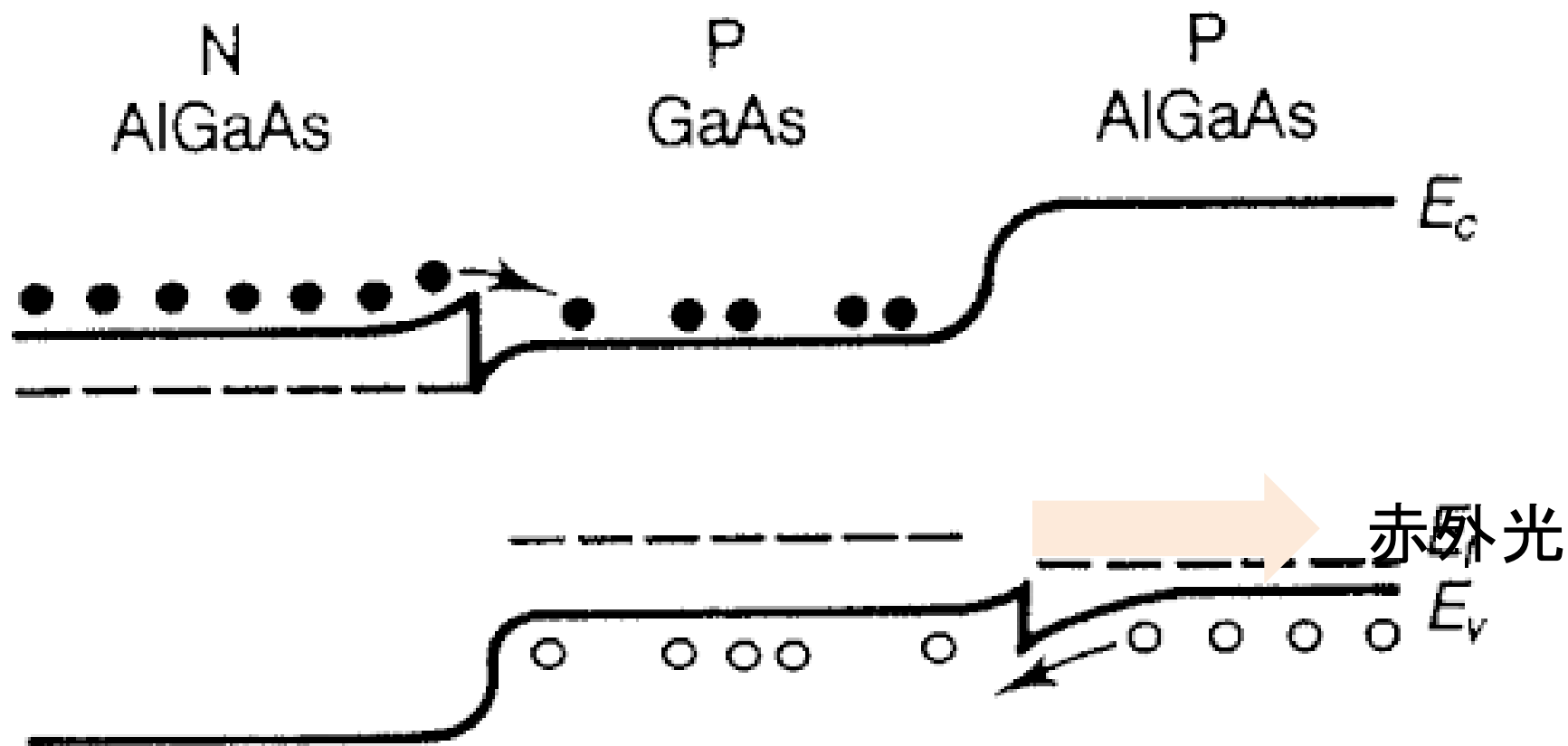


半導体と半導体の接合:



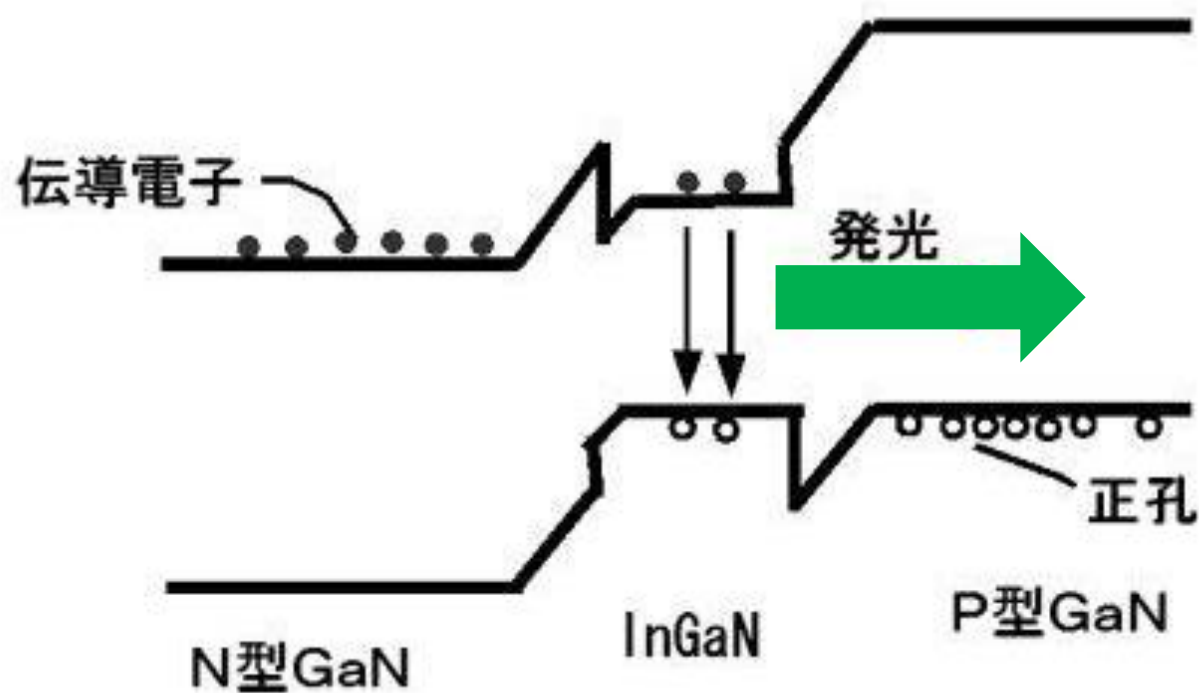
ダブルヘテロ構造のバンドダイアグラム

LED

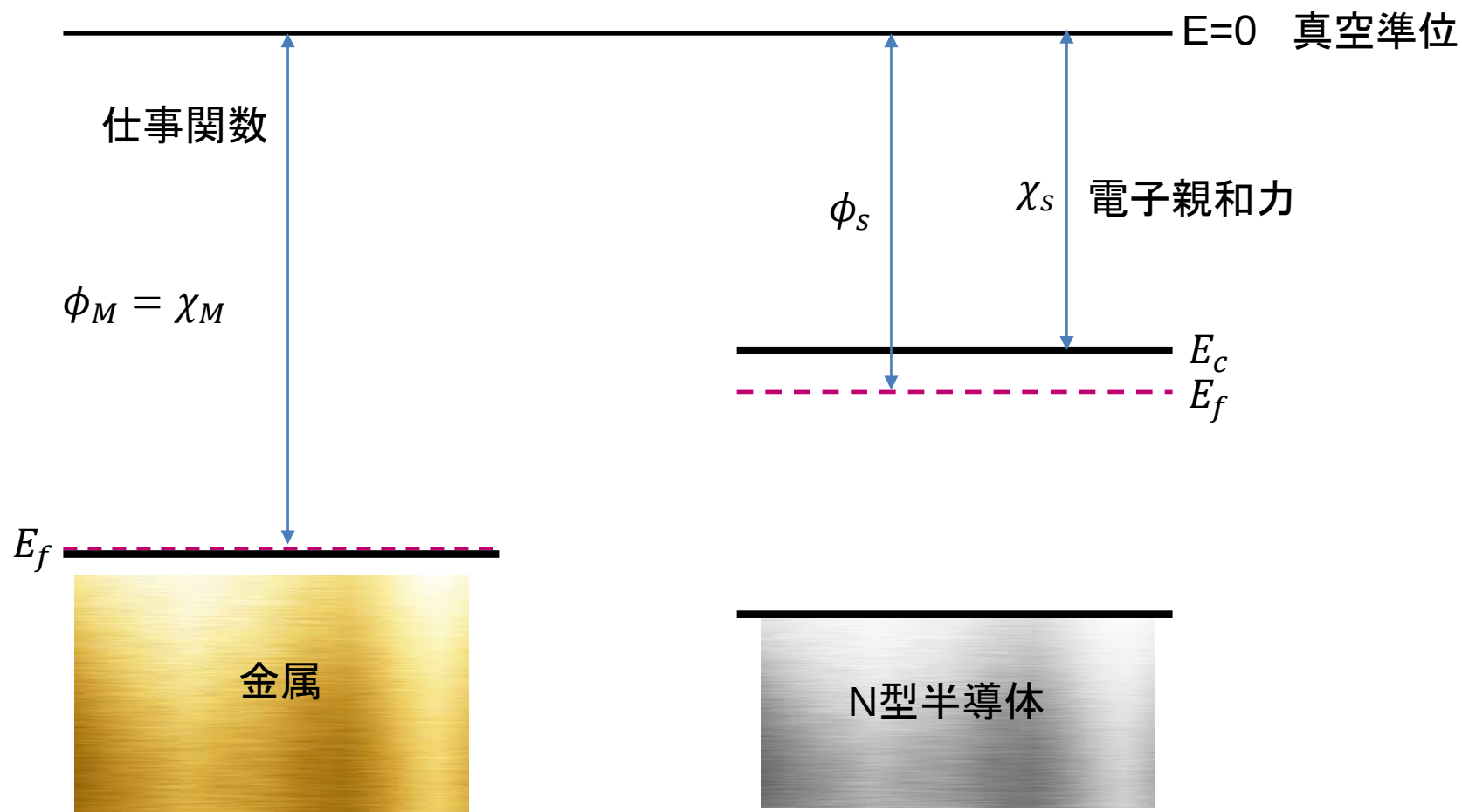


PROFILE

中村修二 (なかむら しゅうじ)
 カリフォルニア大学サンタバーバラ校材料物性工学部教授
 専門: LED、半導体レーザーダイオード、材料物性等

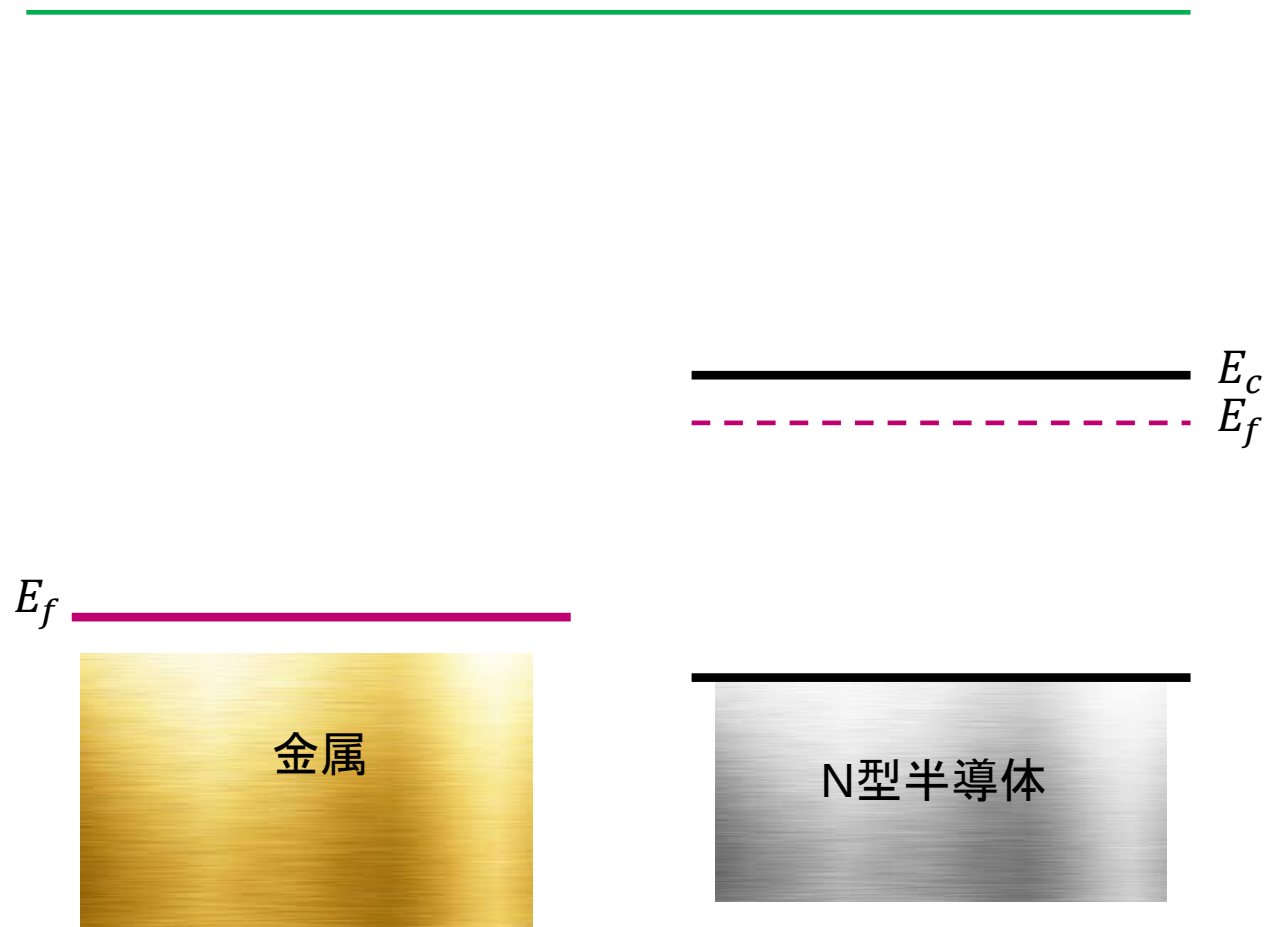


金属と半導体の接合:

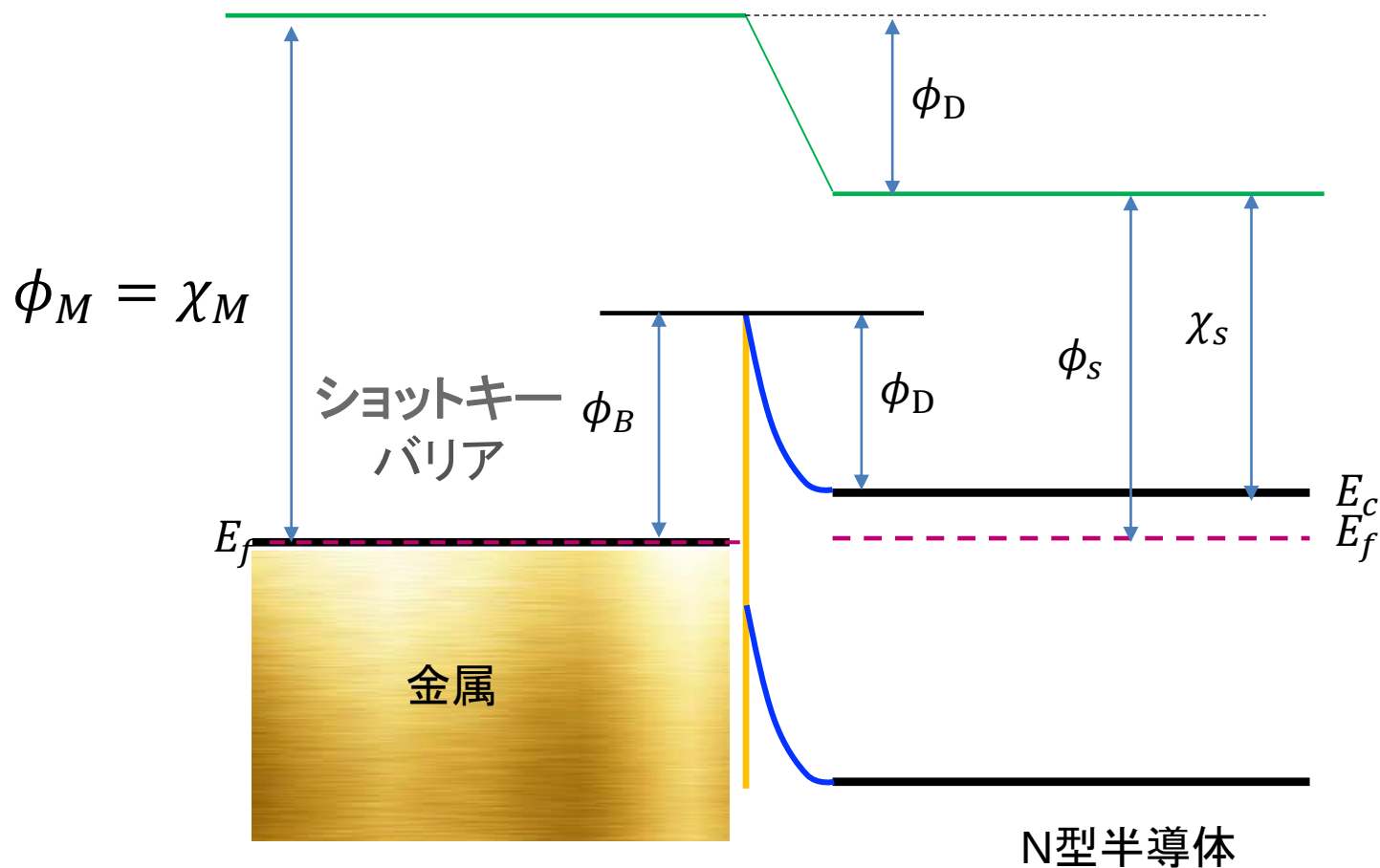


フェルミ準位から真空準位までのエネルギー:
金属の場合: 仕事関数

金属と半導体の接合:



金属と半導体の接合：ショットキーダイオード

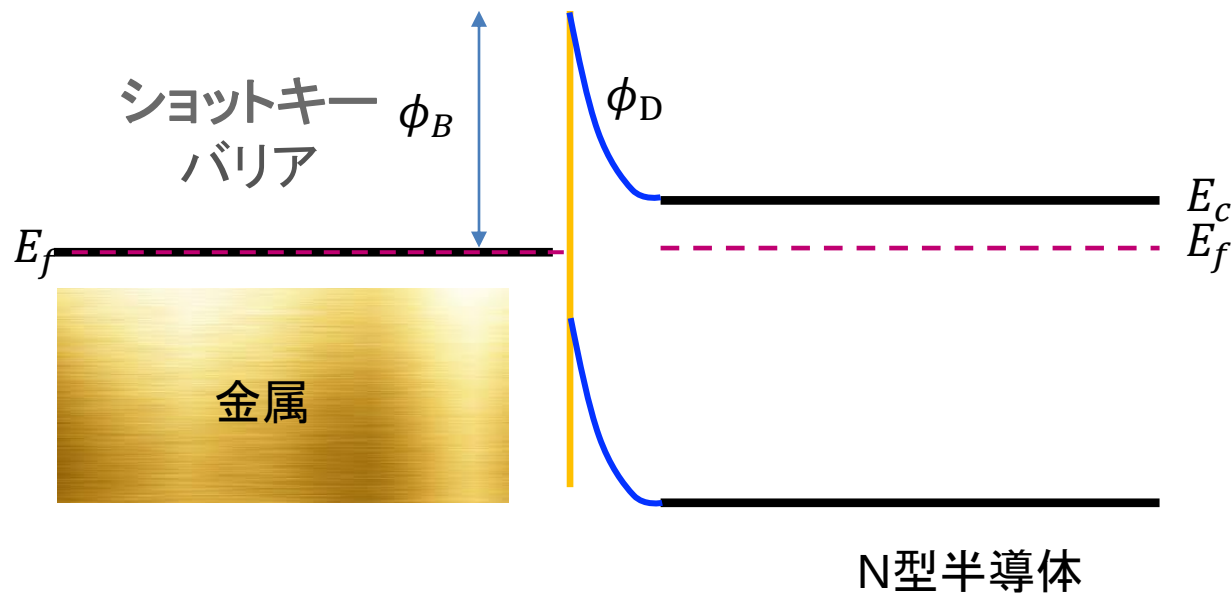


$$q\phi_D = q\phi_M - q\phi_s$$

$$q\phi_B = q\phi_D + (E_c - E_f)$$

金属と半導体の接合：ショットキーダイオード

ショットキーバリアの形成



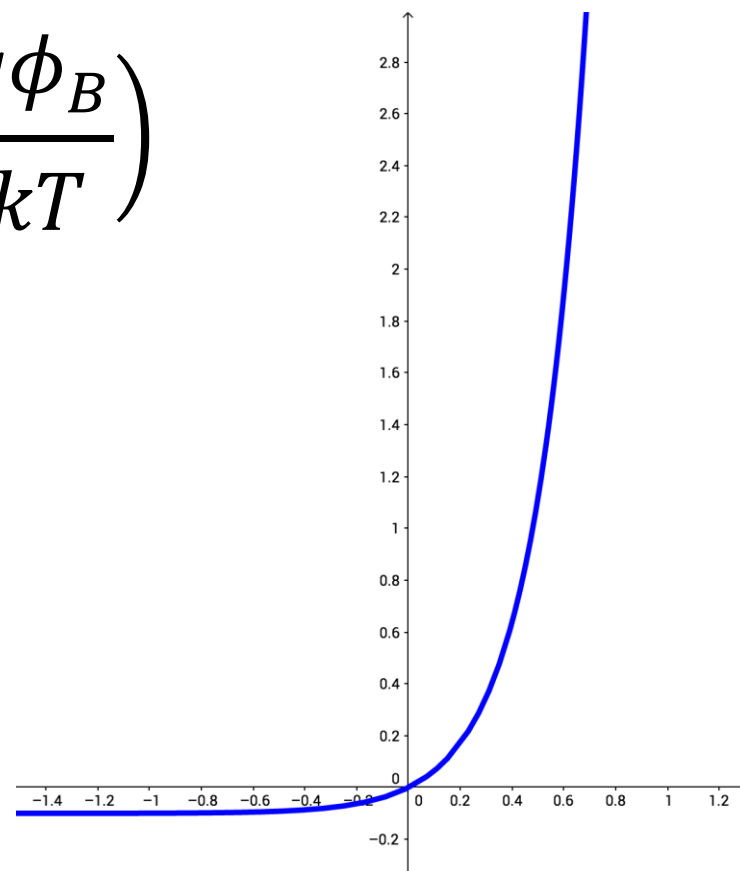
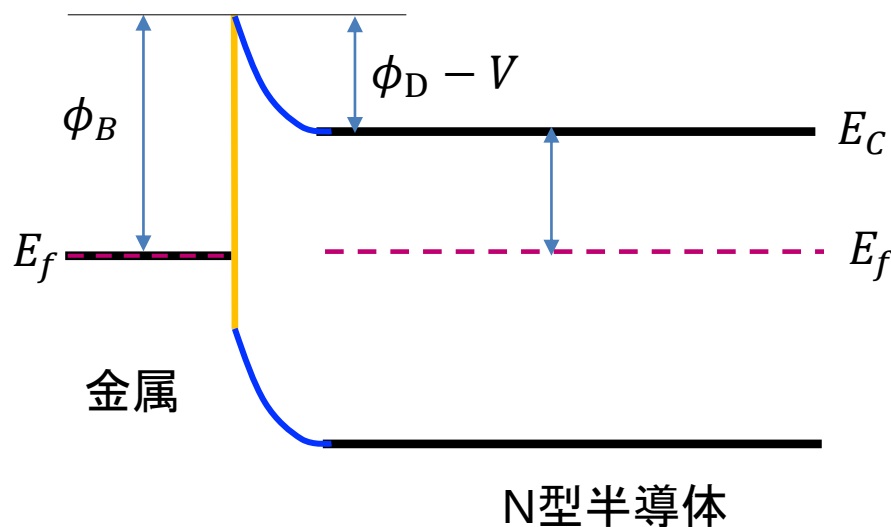
$$q\phi_D = q\phi_M - q\phi_s$$

$$q\phi_B = q\phi_D + (E_c - E_f)$$

ショットキーダイオードの特性解析：電流電圧特性曲線

$$J = J_o \left\{ \exp\left(\frac{V}{kT}\right) - 1 \right\}$$

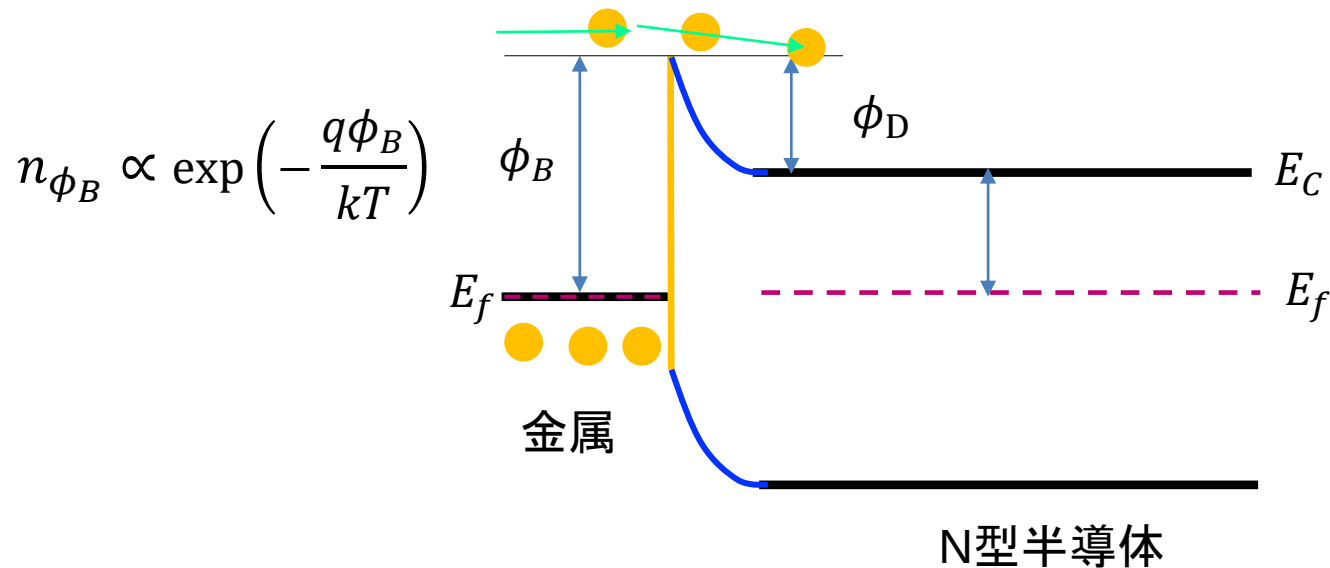
$$J_o = A \exp\left(-\frac{q\phi_B}{kT}\right)$$



熱平衡状態：電圧がかけていない状態

半導体から金属への電流: $J_{S \rightarrow M}$

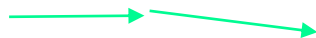
金属から半導体への電子の流れ



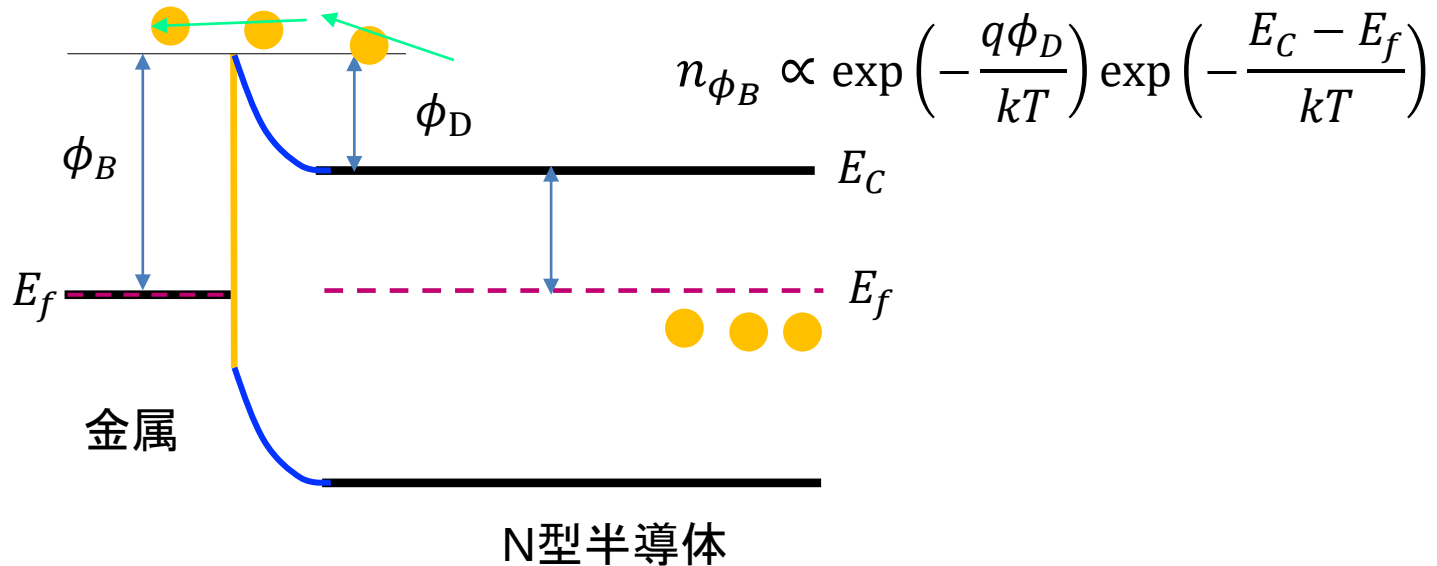
$$J_{S \rightarrow M} = e v n_{\phi_B} = A n_{\phi_B} = A \exp\left(-\frac{q\phi_B}{kT}\right)$$

熱平衡状態：電圧がかけていない状態

金属から半導体への電流: $J_{M \rightarrow S}$



半導体から金属への電子の流れ



$$J_{M \rightarrow S} = e v n_{\phi_B} = B n_{\phi_B} = B \exp\left(-\frac{q\phi_D}{kT}\right) \exp\left(-\frac{E_C - E_f}{kT}\right)$$

熱平衡状態であるので、

$$J_{M \rightarrow S} = J_{S \rightarrow M}$$

$$J_{M \rightarrow S} = B \exp\left(-\frac{q\phi_D}{kT}\right) \exp\left(-\frac{E_C - E_f}{kT}\right)$$

$$q\phi_B = q\phi_D + (E_C - E_f)$$

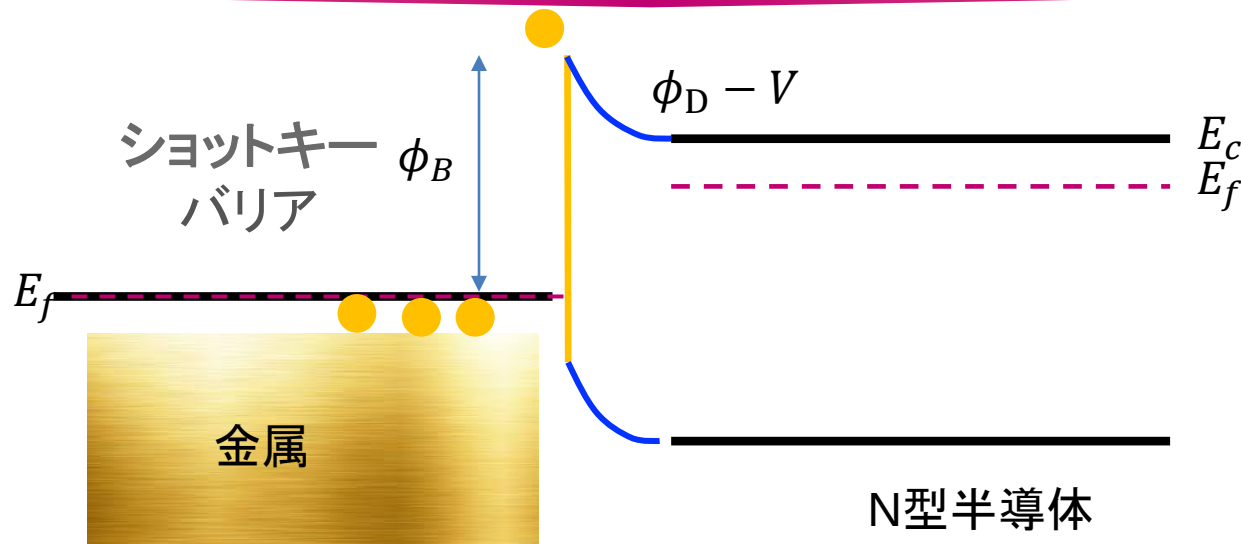
$$J_{M \rightarrow S} = B \exp\left(-\frac{q[\phi_D + E_C - E_f]}{kT}\right)$$

$$J_{M \rightarrow S} = B \exp\left(-\frac{q\phi_B}{kT}\right)$$

$$J_{S \rightarrow M} = A \exp\left(-\frac{q\phi_B}{kT}\right)$$

$$A = B$$

非平衡状態：外部電圧 V が印加されている状態

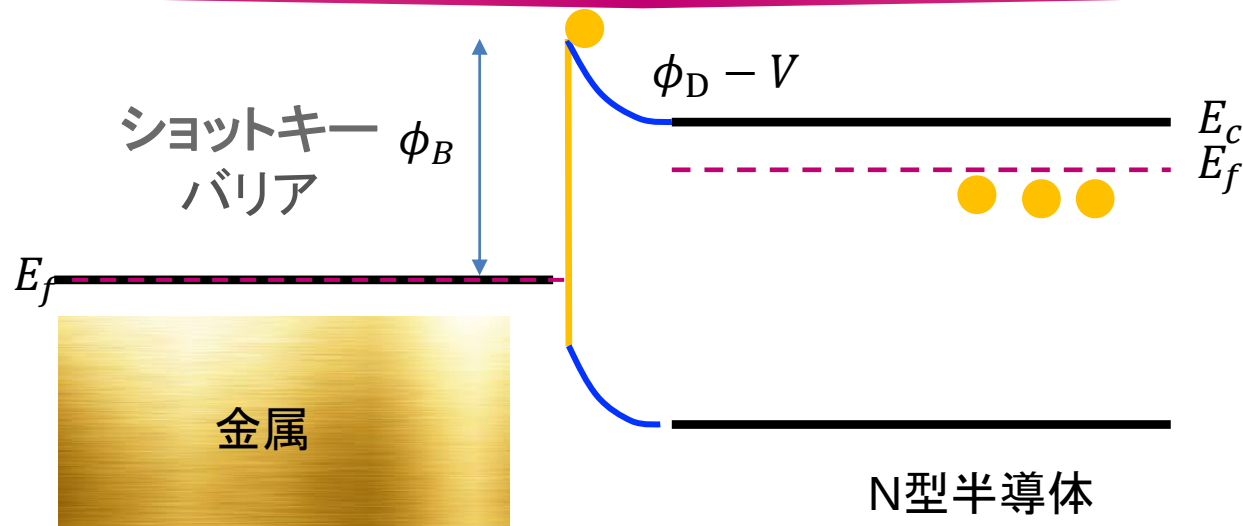


金属は外部電圧からの影響を受けないので、半導体だけ電圧を受けることと成る。

金属から半導体への電子の流れは相変わらず、

$$J_{S \rightarrow M} = A \exp\left(-\frac{q\phi_B}{kT}\right)$$

非平衡状態：外部電圧 V が印加されている状態



金属は外部電圧からの影響を受けないので、半導体だけ電圧を受けることと成る。

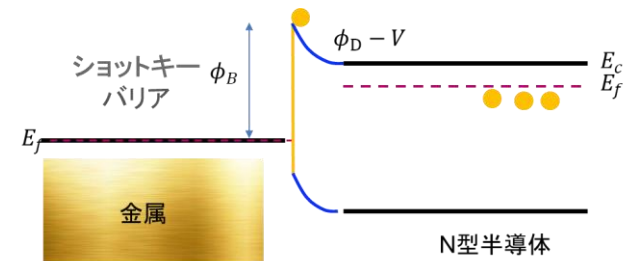
半導体から金属への電子の流れは

$$J_{M \rightarrow S} = B \exp \left(- \frac{q[\phi_D + E_C - E_f - V]}{kT} \right) = B \exp \left(- \frac{q[\phi_B - V]}{kT} \right)$$

$$J_{M \rightarrow S} = B \exp \left(- \frac{q[\phi_B - V]}{kT} \right)$$

ショットキーダイオードの正味の電流: J

$$\begin{aligned}
 J &= J_{M \rightarrow S} - J_{S \rightarrow M} \\
 &= B \exp\left(-\frac{q[\phi_B - V]}{kT}\right) - A \exp\left(-\frac{q\phi_B}{kT}\right) \\
 &= A \exp\left(-\frac{q[\phi_B - V]}{kT}\right) - A \exp\left(-\frac{q\phi_B}{kT}\right) \\
 &= A \exp\left(-\frac{q[\phi_B]}{kT}\right) \exp\left(\frac{qV}{kT}\right) - A \exp\left(-\frac{q\phi_B}{kT}\right) \\
 &= A \exp\left(-\frac{q\phi_B}{kT}\right) \left\{ \exp\left(\frac{qV}{kT}\right) \right\} \\
 &= J_o \left\{ \exp\left(\frac{qV}{kT}\right) - 1 \right\}
 \end{aligned}$$



ショットキーダイオード

J : 多数キャリアである電子による電流。

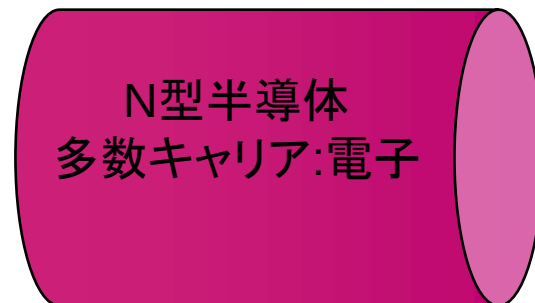
PN接合ダイオード

少数キャリアデバイス

P型半導体
多数キャリア:
ホール



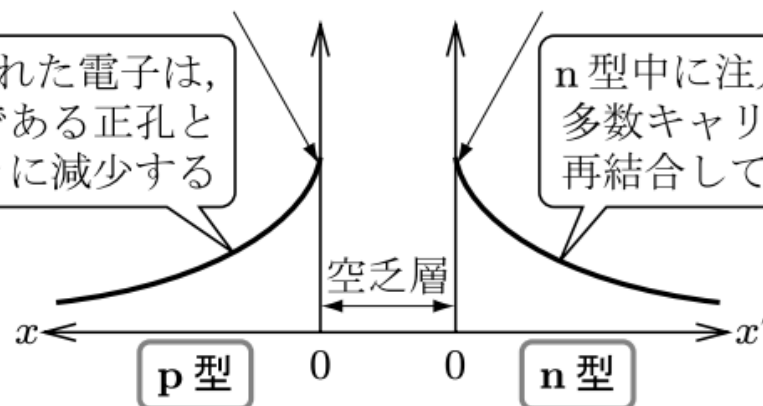
N型半導体
多数キャリア:電子



$$n_{p0} \exp\left(\frac{qV}{kT}\right) \quad p_{n0} \exp\left(\frac{qV}{kT}\right)$$

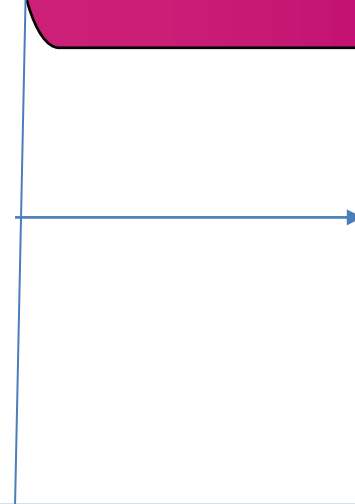
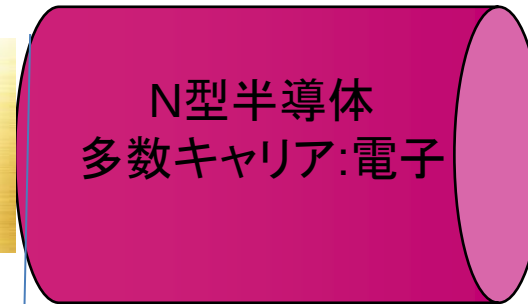
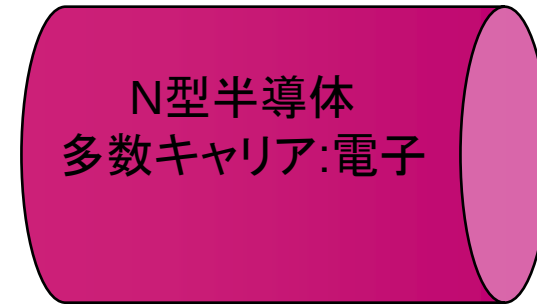
p型中に注入された電子は、
多数キャリアである正孔と
再結合して徐々に減少する

n型中に注入された正孔は、
多数キャリアである電子と
再結合して徐々に減少する



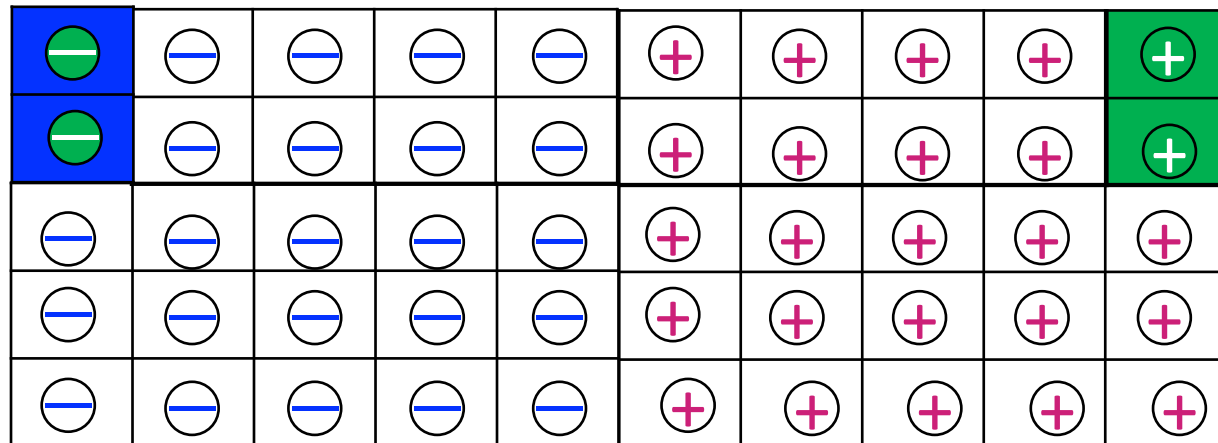
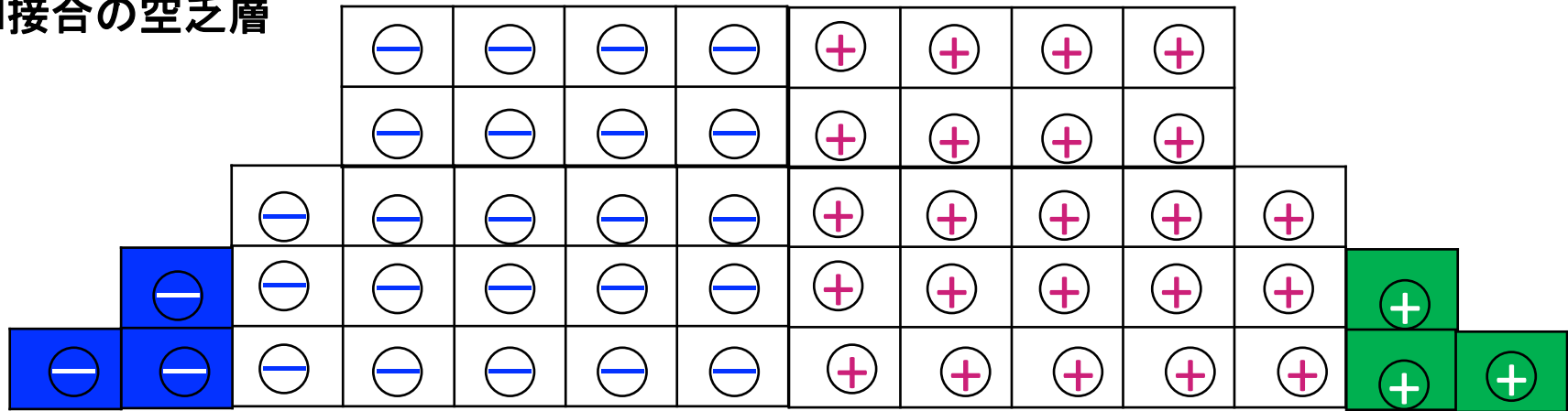
多数キャリアデバイス

金属:
電子のかたまり



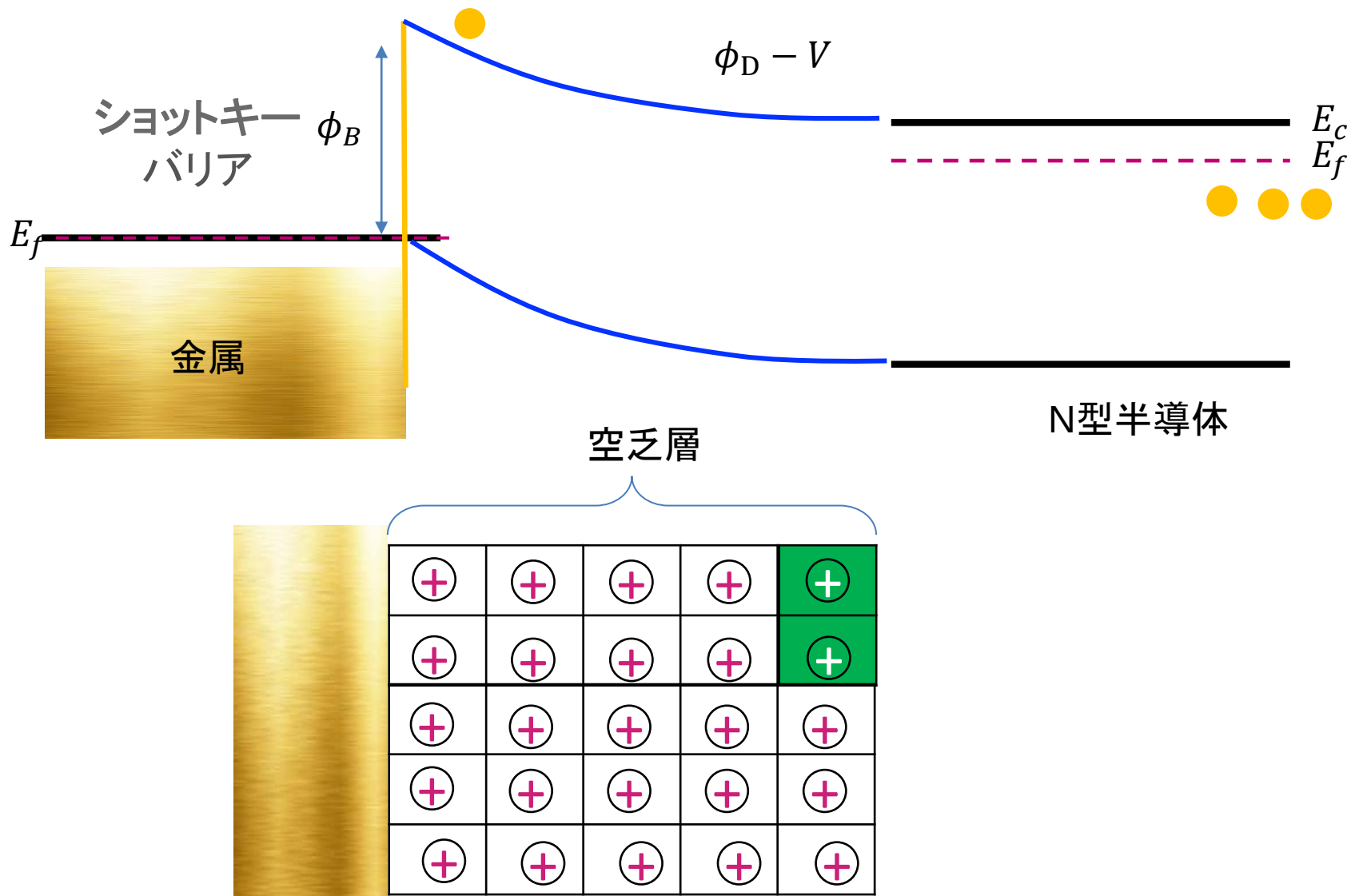
空乏そうの幅と接合容量の計算

PN接合の空乏層

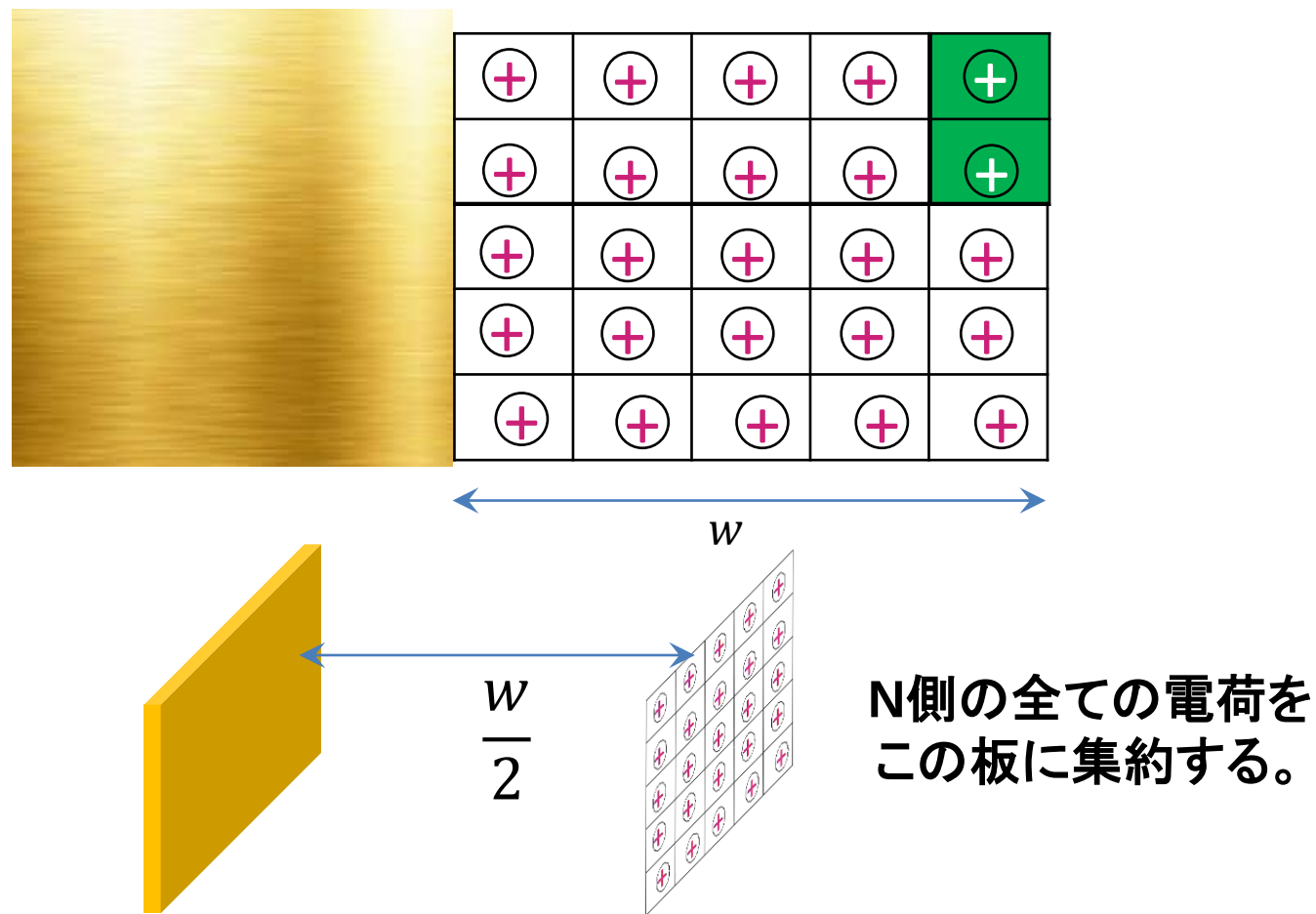


均一近似

ショットキーダイオードの空乏層



ショットキーダイオードの空乏層における電気容量



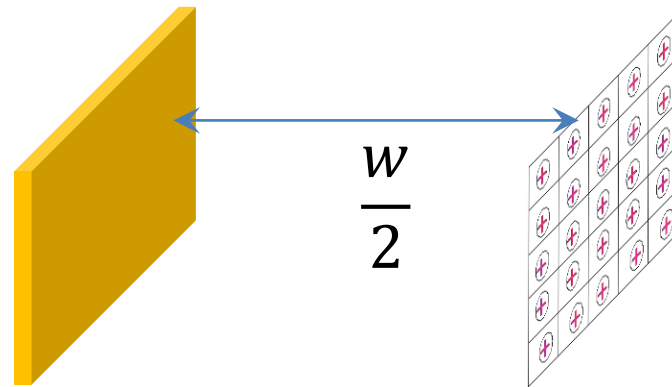
$$Q_n = N_d^- * w * A * e$$

ショットキーダイオードの空乏層における電気容量

$$C = \epsilon \frac{A}{d}$$

$$C = \epsilon \frac{A}{d}$$

$$C = \epsilon \frac{A}{\frac{w}{2}} = \epsilon \frac{2A}{w}$$



$A = 1$: 単位面積仮定

$$C_n = \frac{Q_n}{V_n} = \frac{N_d^+ * w * A * e}{V_n} = \epsilon \frac{2A}{w}$$

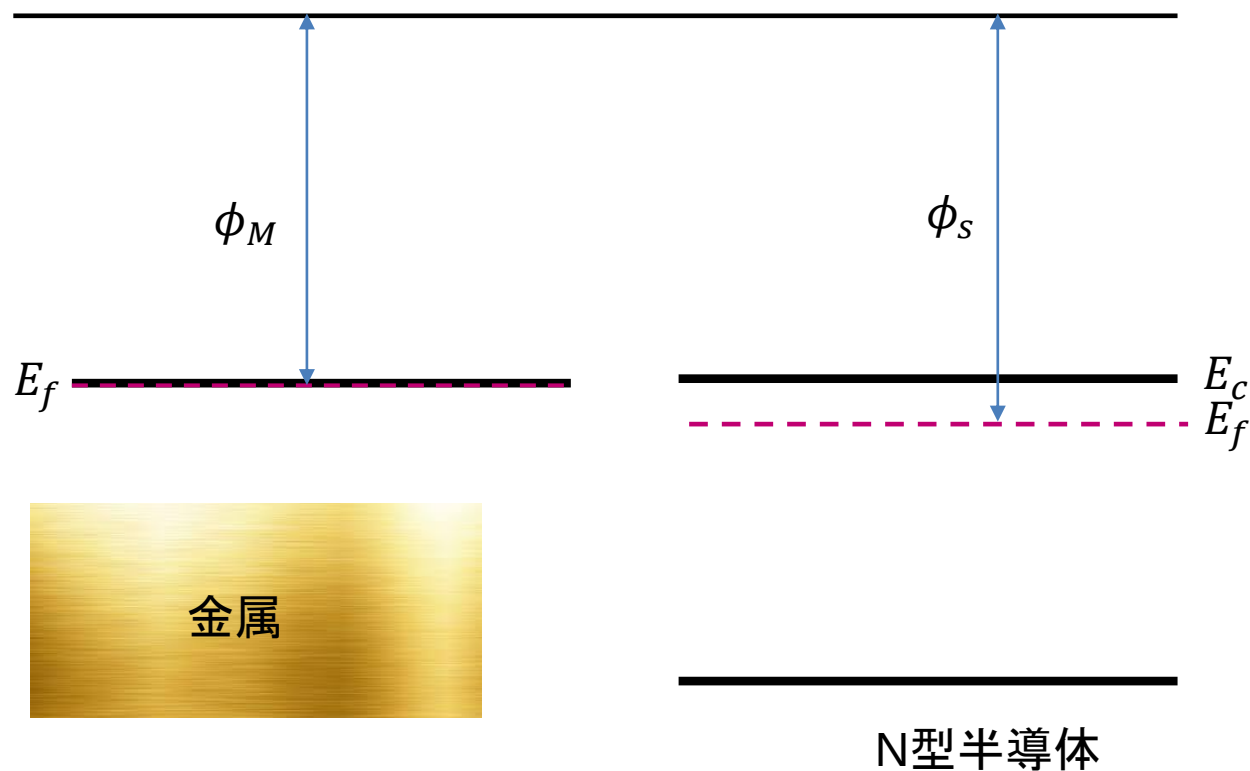
$$V_n = \frac{N_d^+ e}{2\epsilon} w^2$$

$$V_n = \phi_B - V$$

$$V_n = V_D - V$$

$$w = \sqrt{\frac{2\epsilon}{N_d^+ e} (V_D - V)}$$

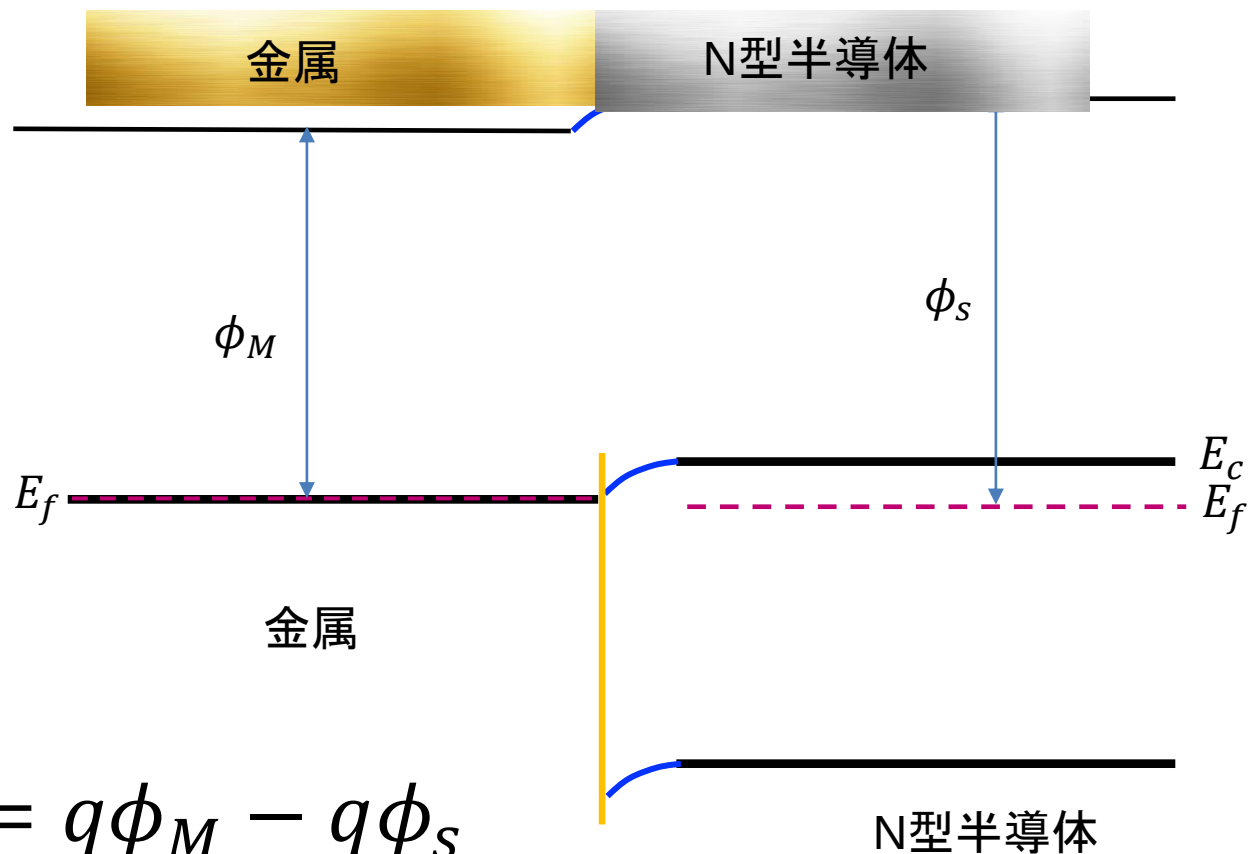
仕事関数の役割:



$$q\phi_D = q\phi_M - q\phi_s$$

$$q\phi_B = q\phi_D + (E_c - E_f)$$

仕事関数の役割:

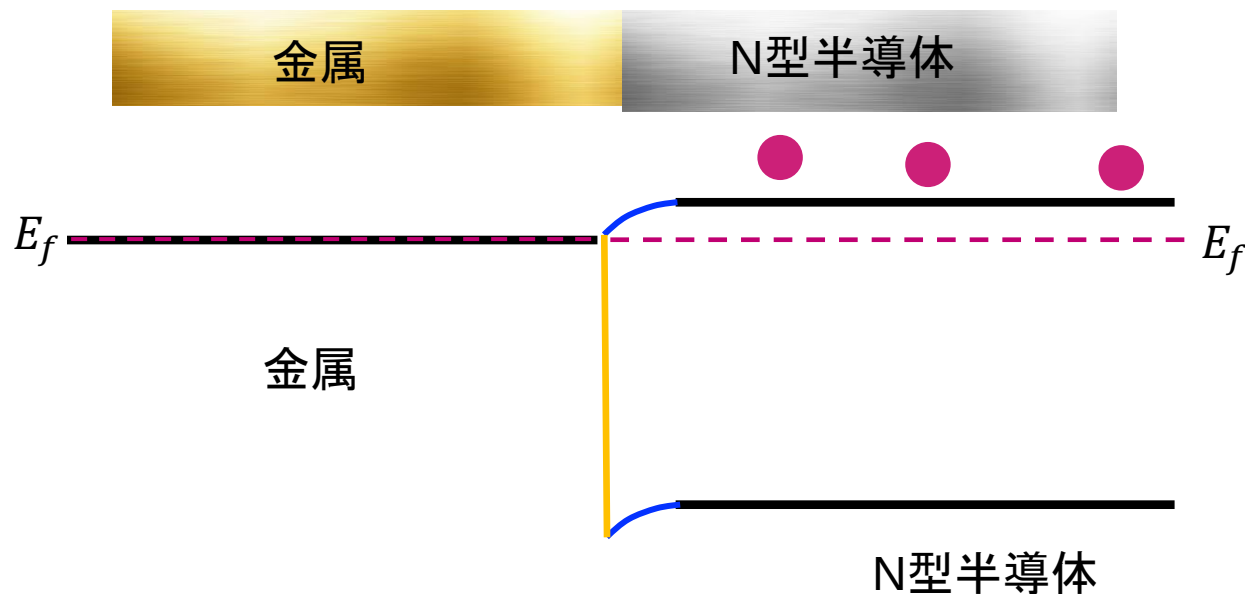


$$q\phi_D = q\phi_M - q\phi_S$$

$$q\phi_B = q\phi_D + (E_c - E_f) < 0$$

$$E_c - E_f < q\phi_S - q\phi_M$$

オミック電極の形成：金属/N型



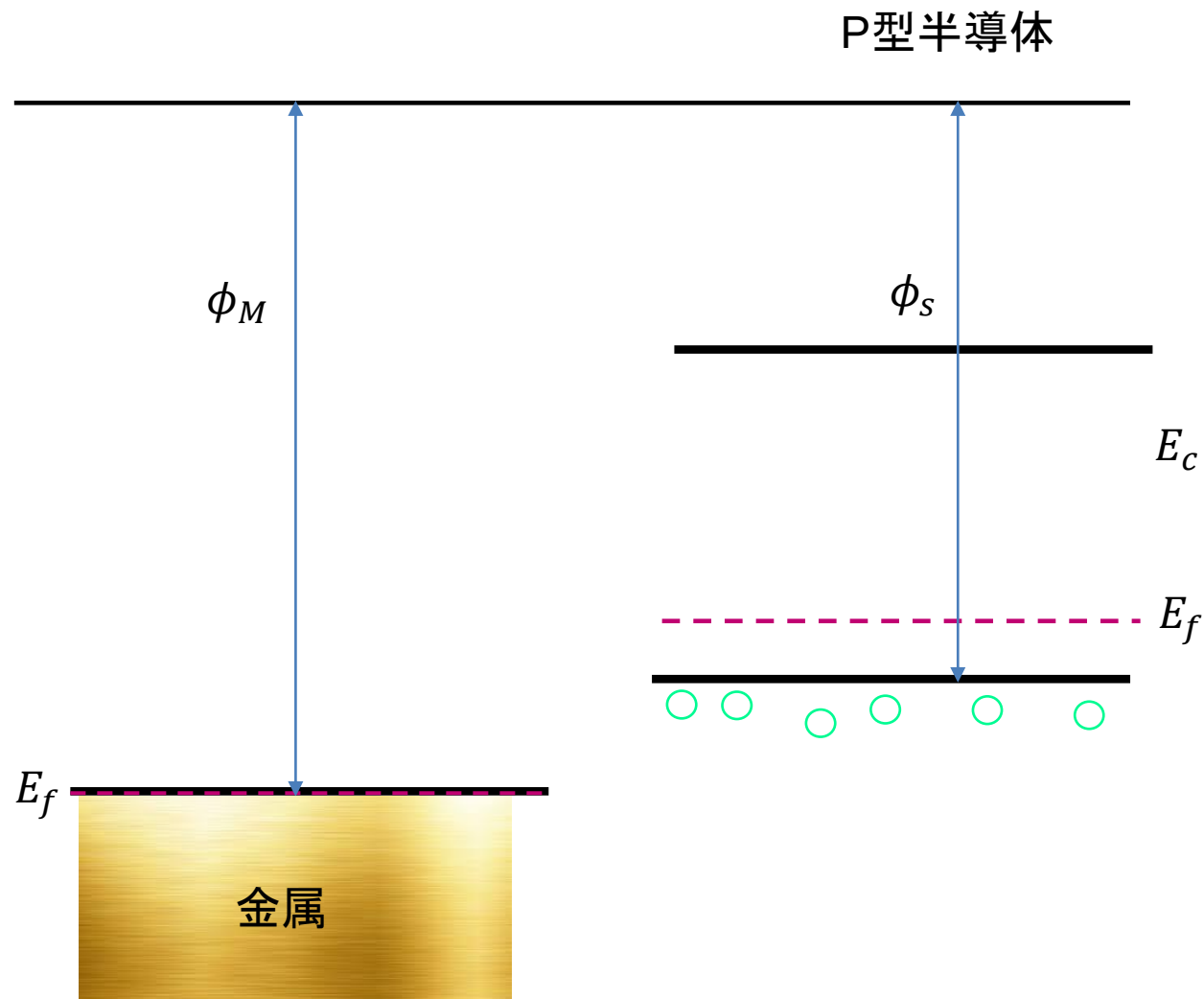
$$E_c - E_f < q\phi_s - q\phi_M$$

半導体と接続する金属を選択する基準：
印可電圧ゼロの条件下で、ショットキバリアがないように選ぶ
のが一番大事である。

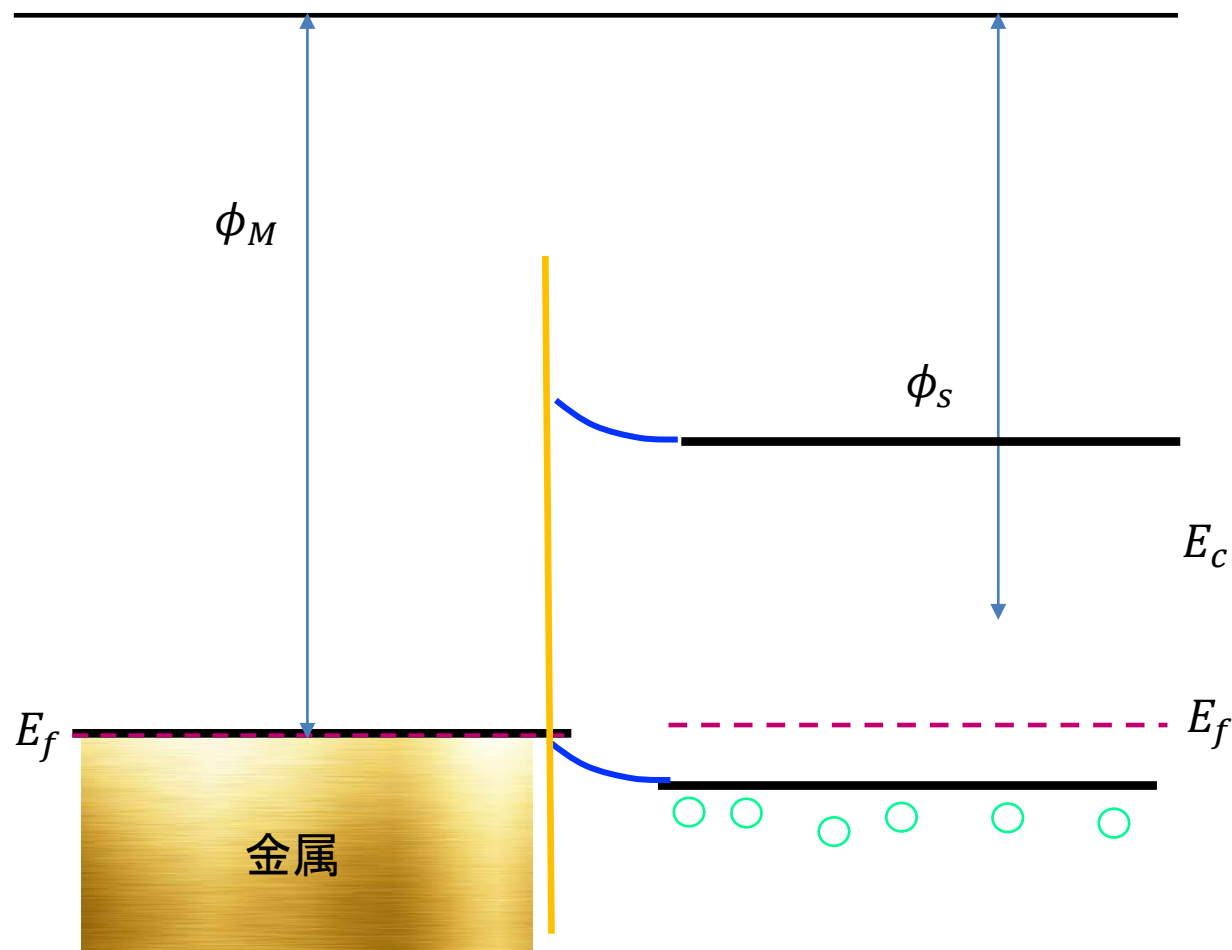
経験則：

N型：仕事関数 ϕ_M の小さい金属を選ぶ

オミーク電極の形成：金属/P型



オミーク電極の形成：金属/P型

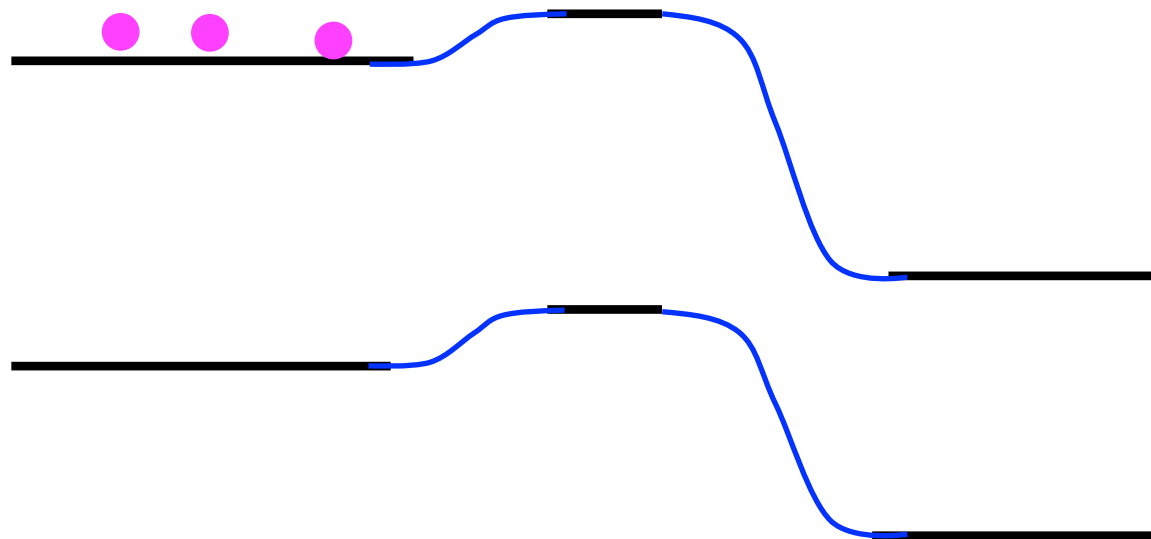
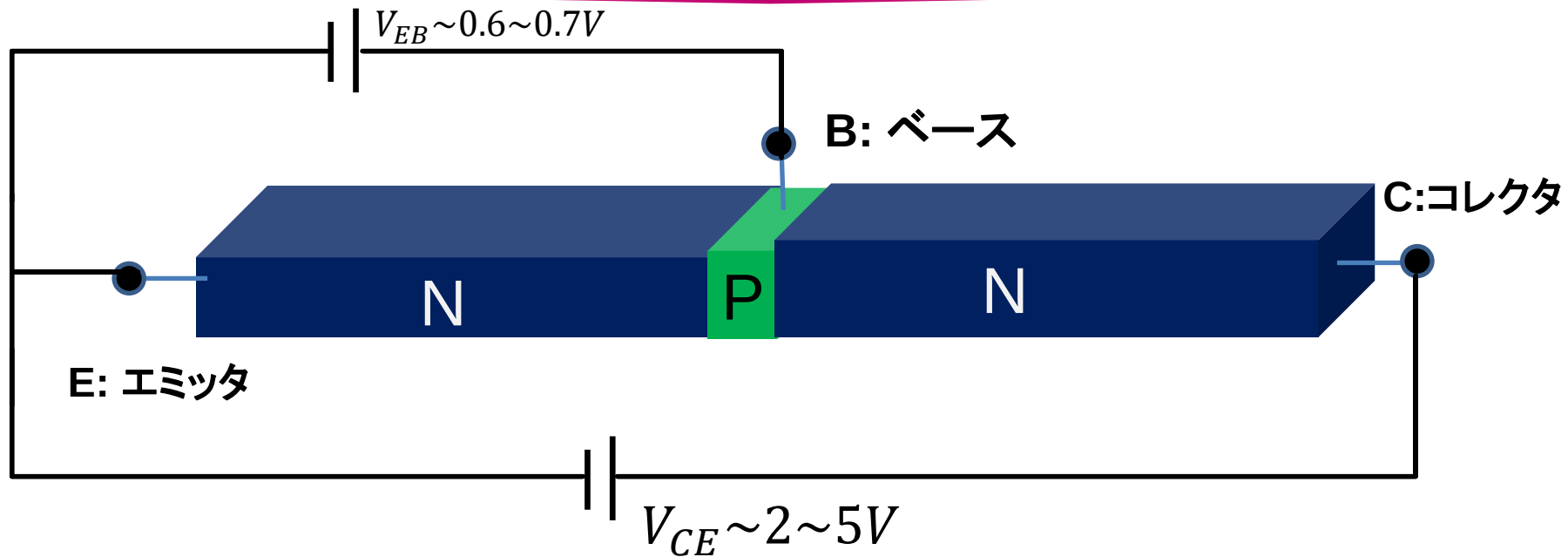


経験則：

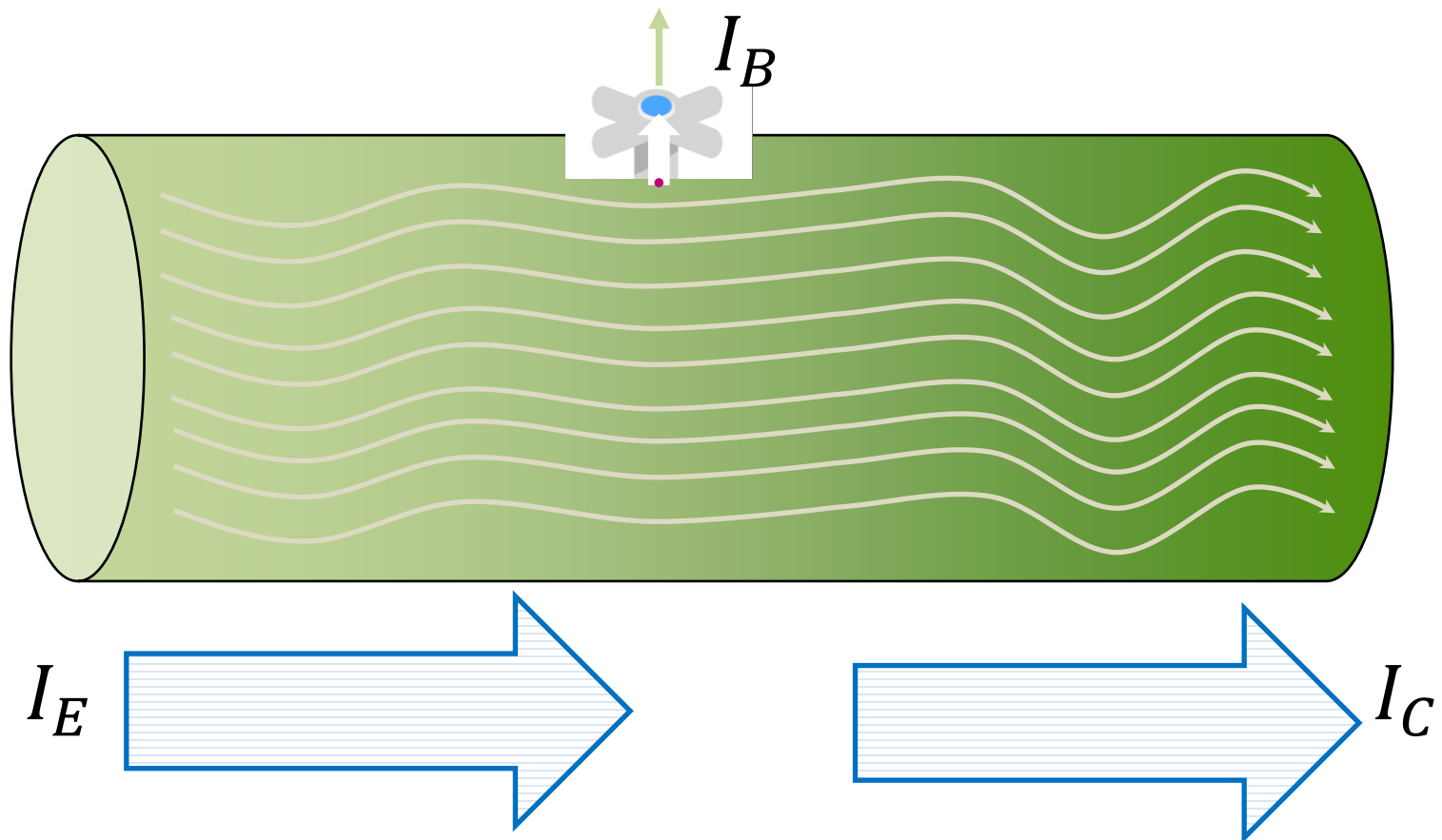
P型：仕事関数 ϕ_M が大きめの金属を選ぶ

□ MOS-FETトランジスタ

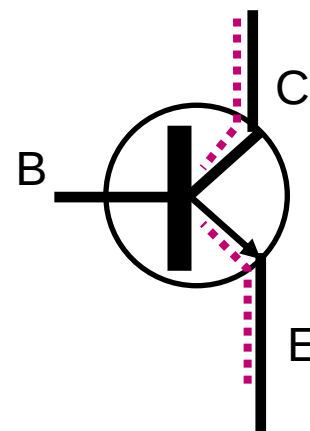
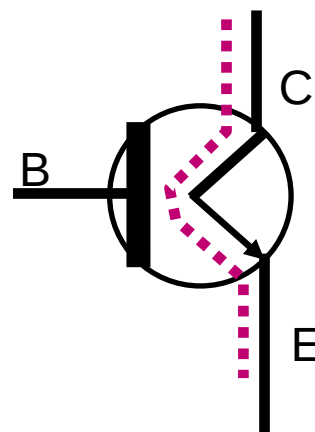
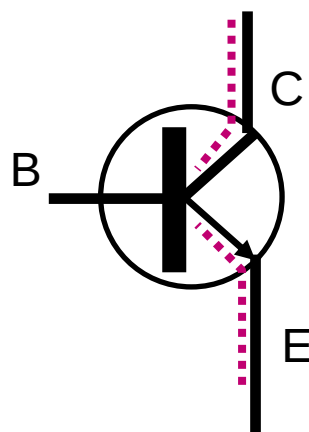
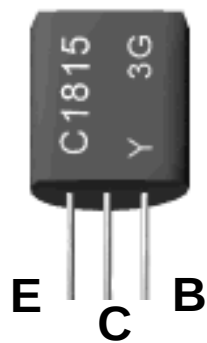
NPN接合: バンド図



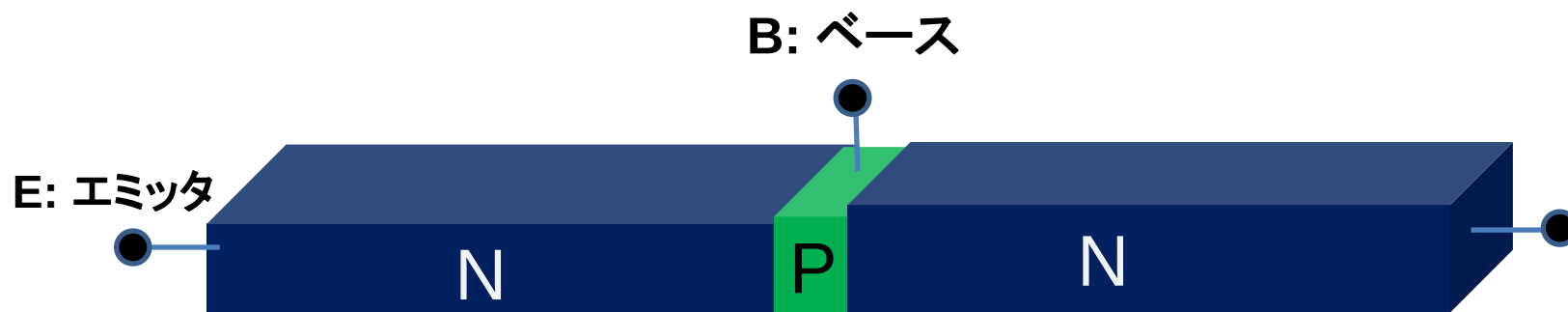
NPN接合：再び水道との類似性→増幅効果



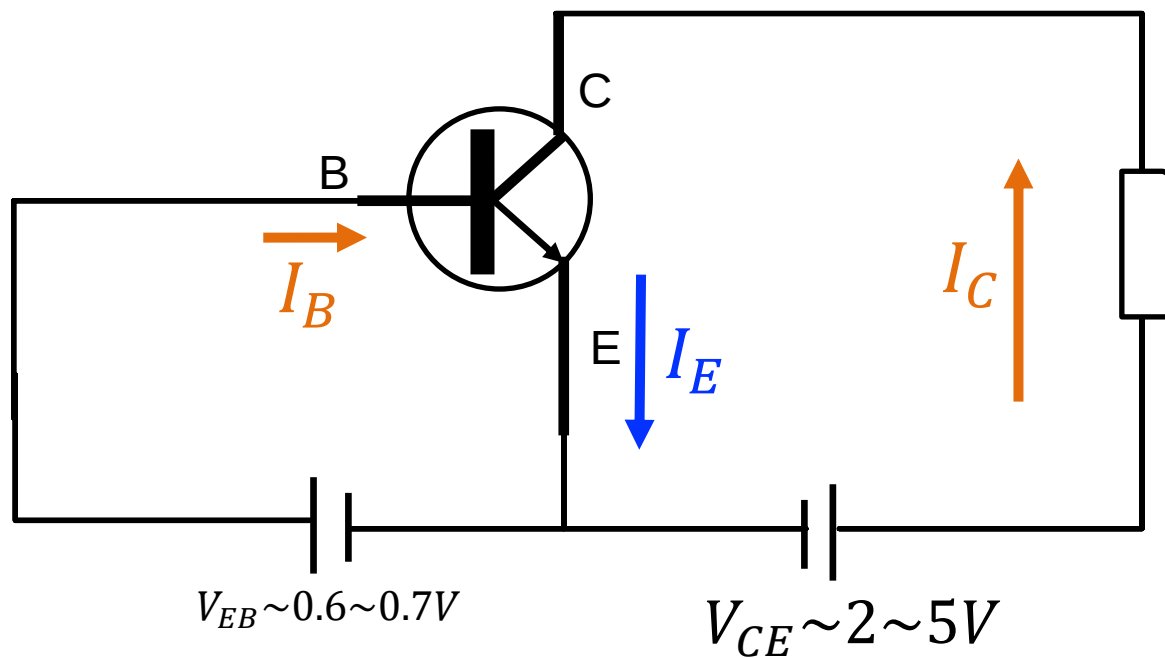
NPN接合の正式名前: バイポーラトランジスタ



水栓との類似性



バイポーラトランジスタの増幅回路



例 : $\alpha \cong 0.999$

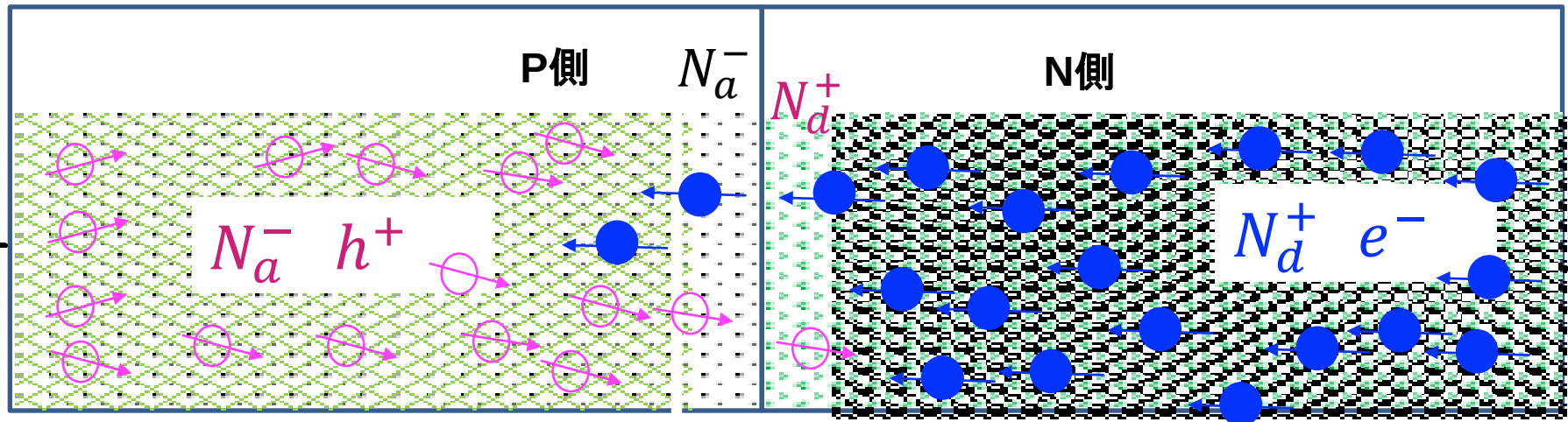
$$\beta = \frac{\alpha}{1 - \alpha}$$

$$\alpha = \frac{I_C}{I_E} \quad \beta = \frac{I_C}{I_B}$$

$$I_C = 999I_B$$

電流が増幅される

MOS-FETトランジスタ: PN接合の復習



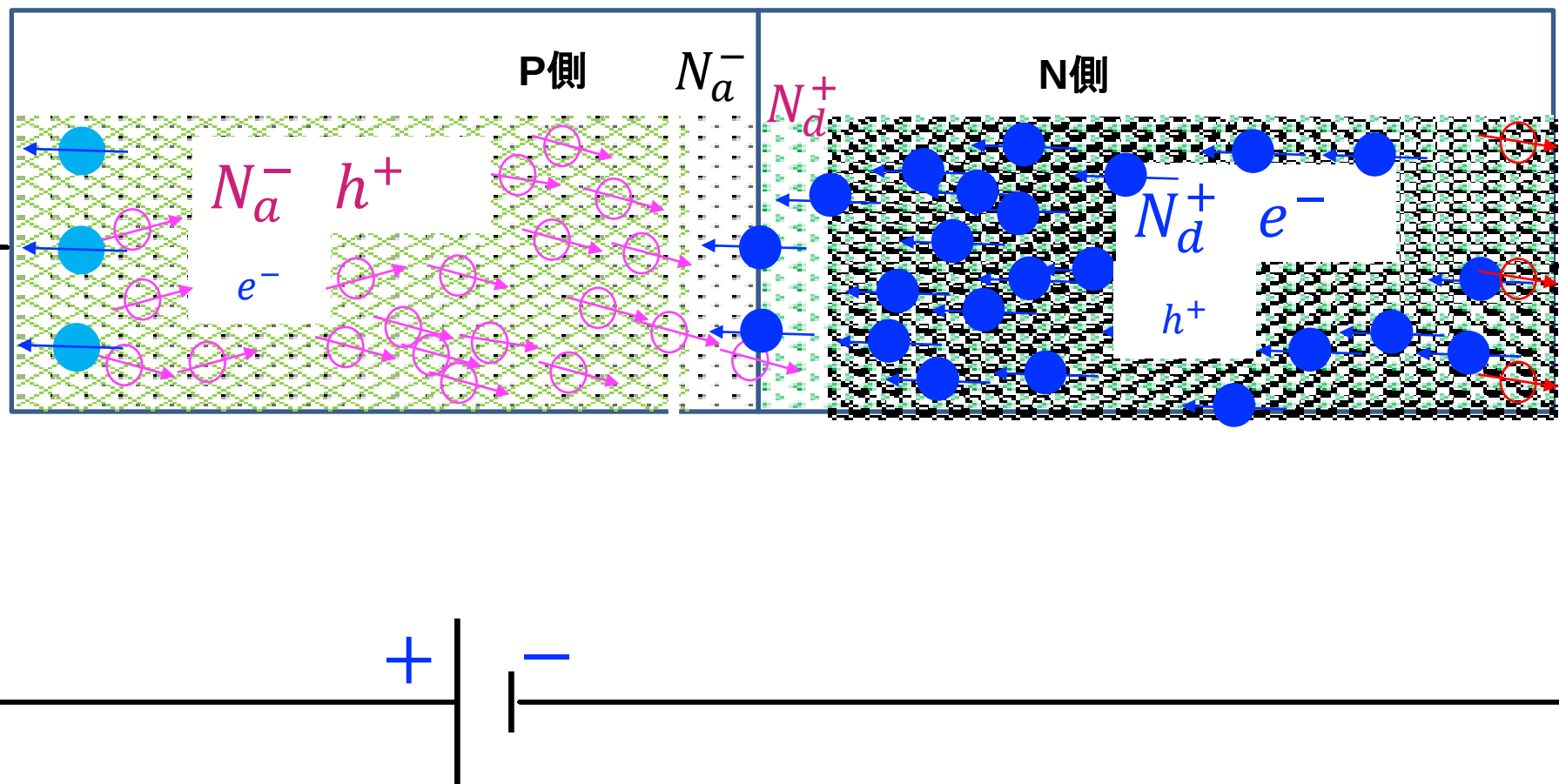
順方向電圧: V

+

-

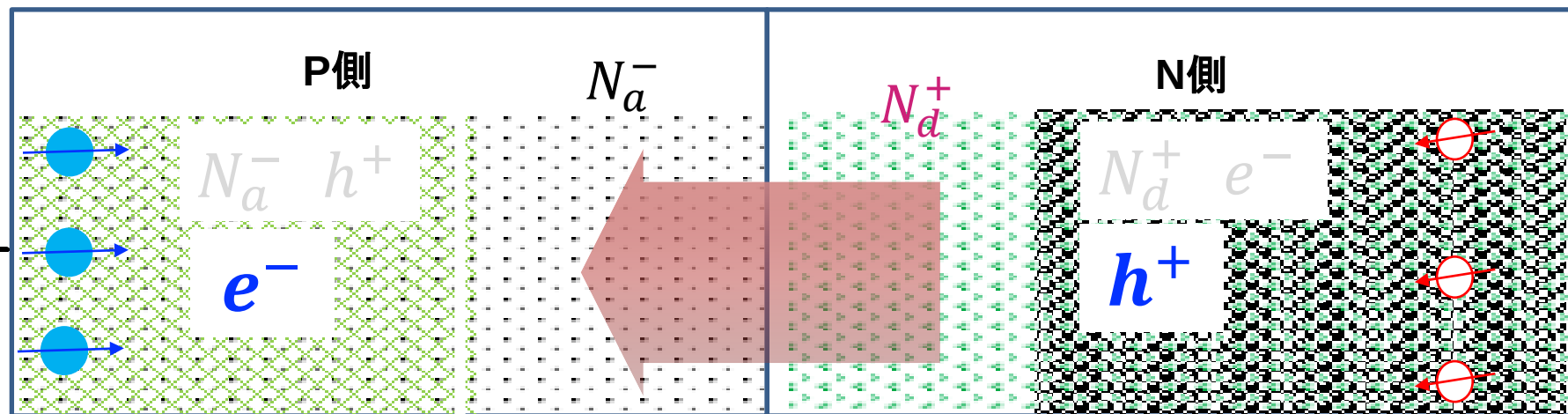
MOS-FETトランジスタ:
PN接合の逆バイアス領域での振る舞いとの関連性が強い!

PN接合の復習：順方向電圧印可



順方向電圧が印可された際に、P型とN側の少数キャリアの振る舞い

PN接合の復習：逆方向電圧印可



$$J \neq 0$$

P側の多数キャリアであるホール h^+ ：動けない

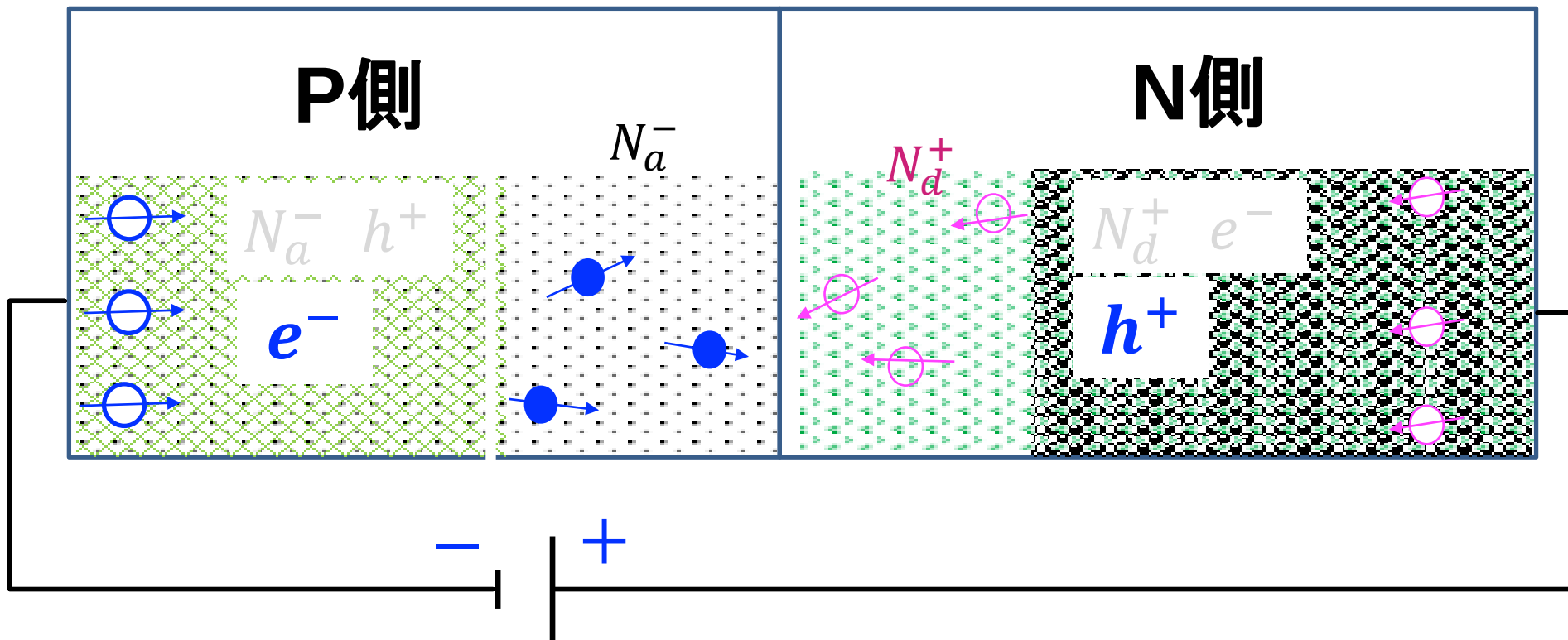
N側の多数キャリアであるホール e^- ：動けない

P側の少数キャリアである電子 e^- ：動きやすい

N側の少数キャリアである電子 h^+ ：動きやすい

$$J \neq 0$$

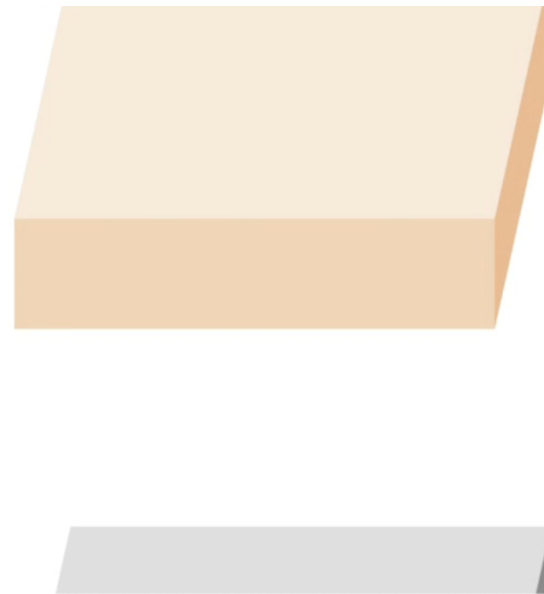
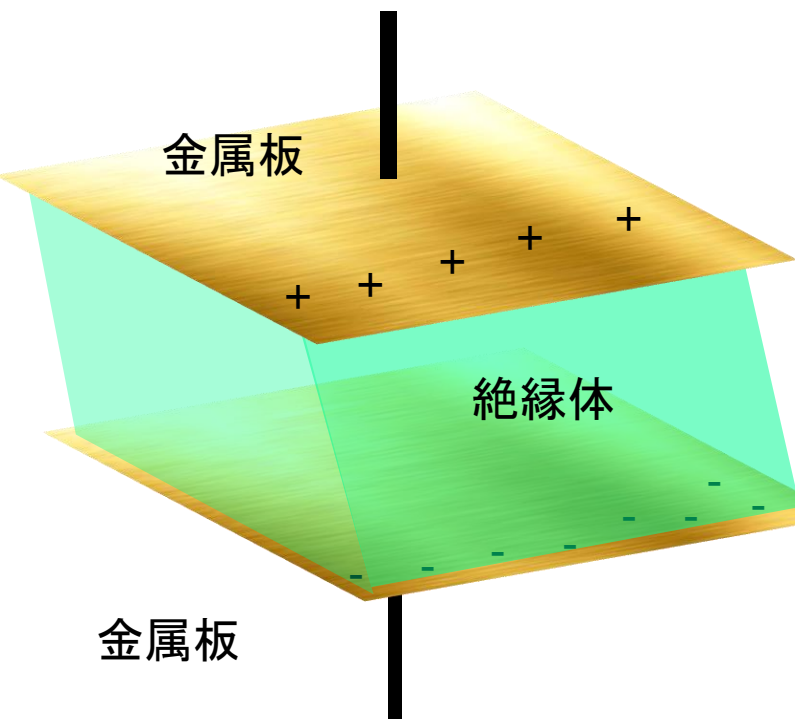
PN接合の復習：逆方向電圧印可



P側の少数キャリアの電子 e^- とN側の少数キャリアである電子 h^+

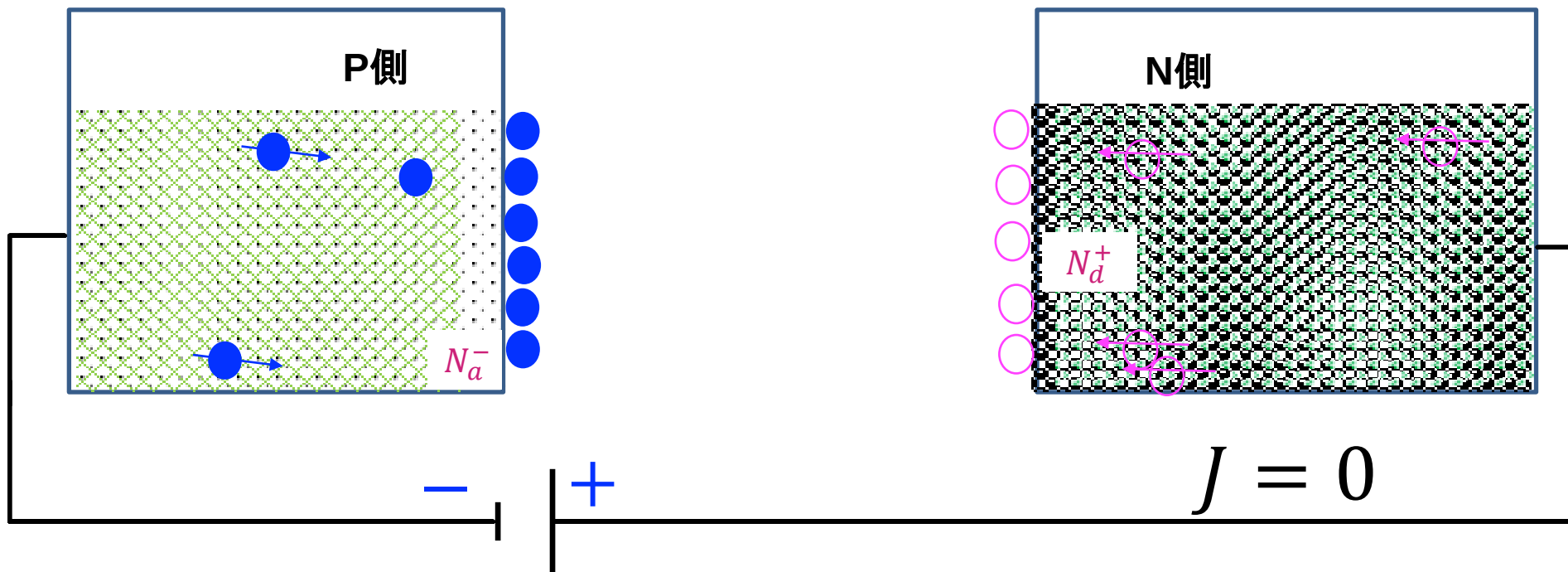
$$J_s = q \left(\frac{D_n n_i^2}{l_n N_a} + \frac{D_p n_i^2}{l_p N_d} \right)$$

PN接合の拡張：通常のコンデンサへ



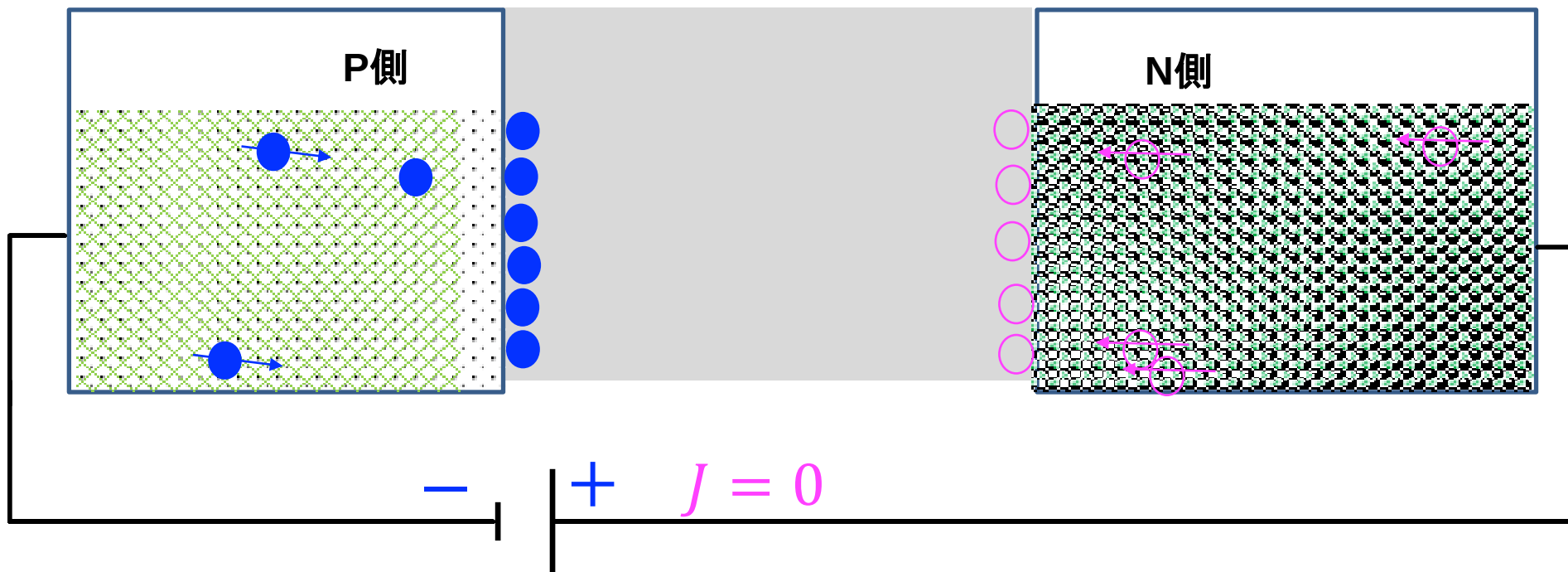
通常のコンデンサの概念図

PN接合の拡張：通常のコデンサへ



PN接合の拡張：通常のコデンサに
拡張するために非接続領域を設ける

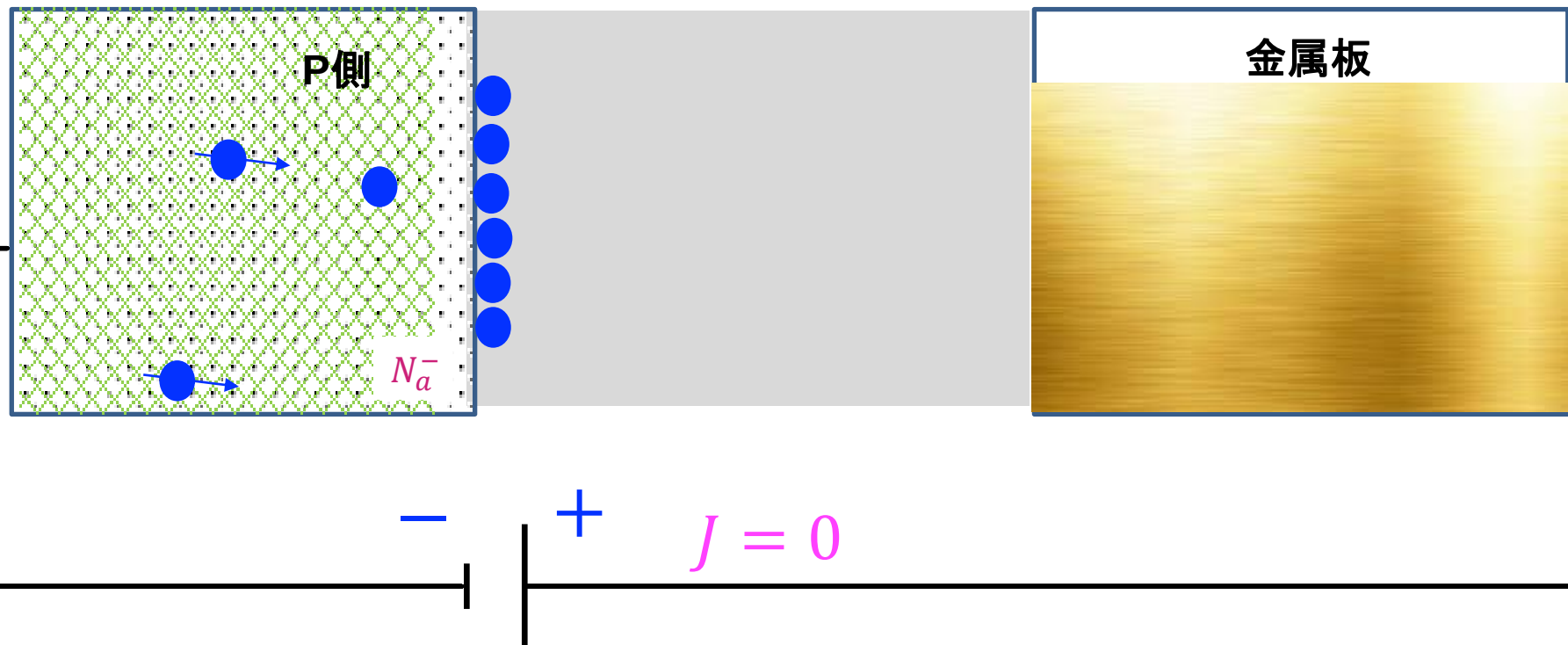
PN接合の拡張：通常のコンデンサへ



PN接合の拡張：非接続領域をバンドギャップの大きい酸化物絶縁体にする

デバイスの構造として作成しやすい

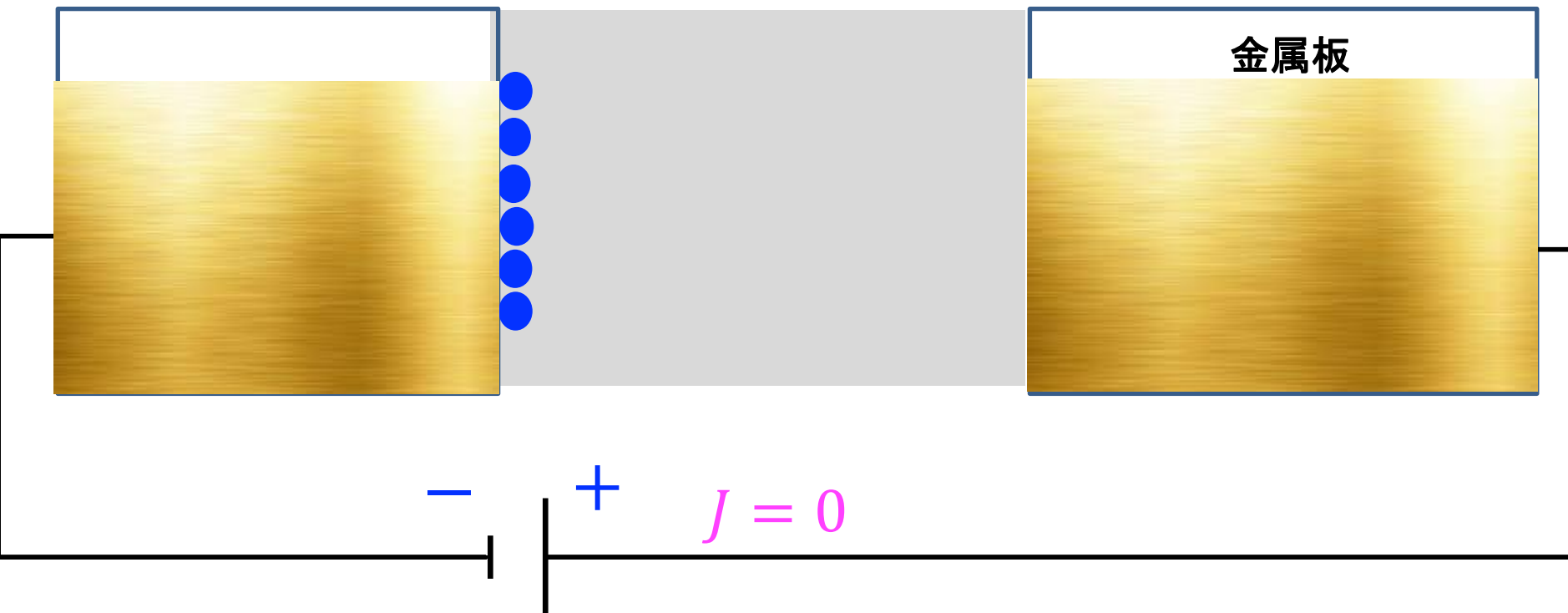
PN接合の拡張：通常のコデンサへ



PN接合の拡張：P側かN側かを金属板で置き換える！

両側を置き換えると通常のコデンサになってしまう

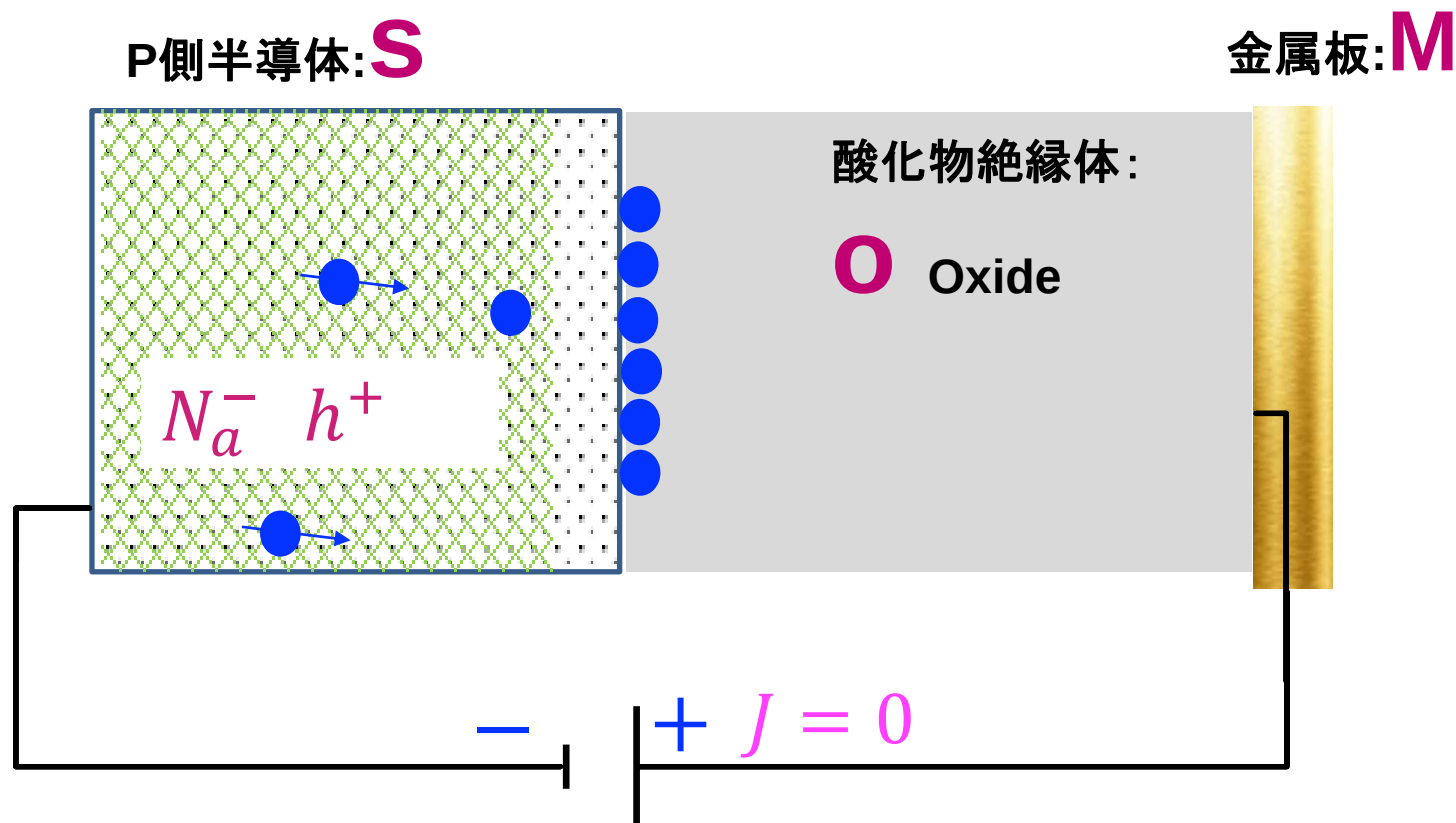
PN接合の拡張：通常のコンデンサへ



PN接合の拡張：P側かN側かを金属板で置き換える！

両側を置き換えると通常のコンデンサになってしまう

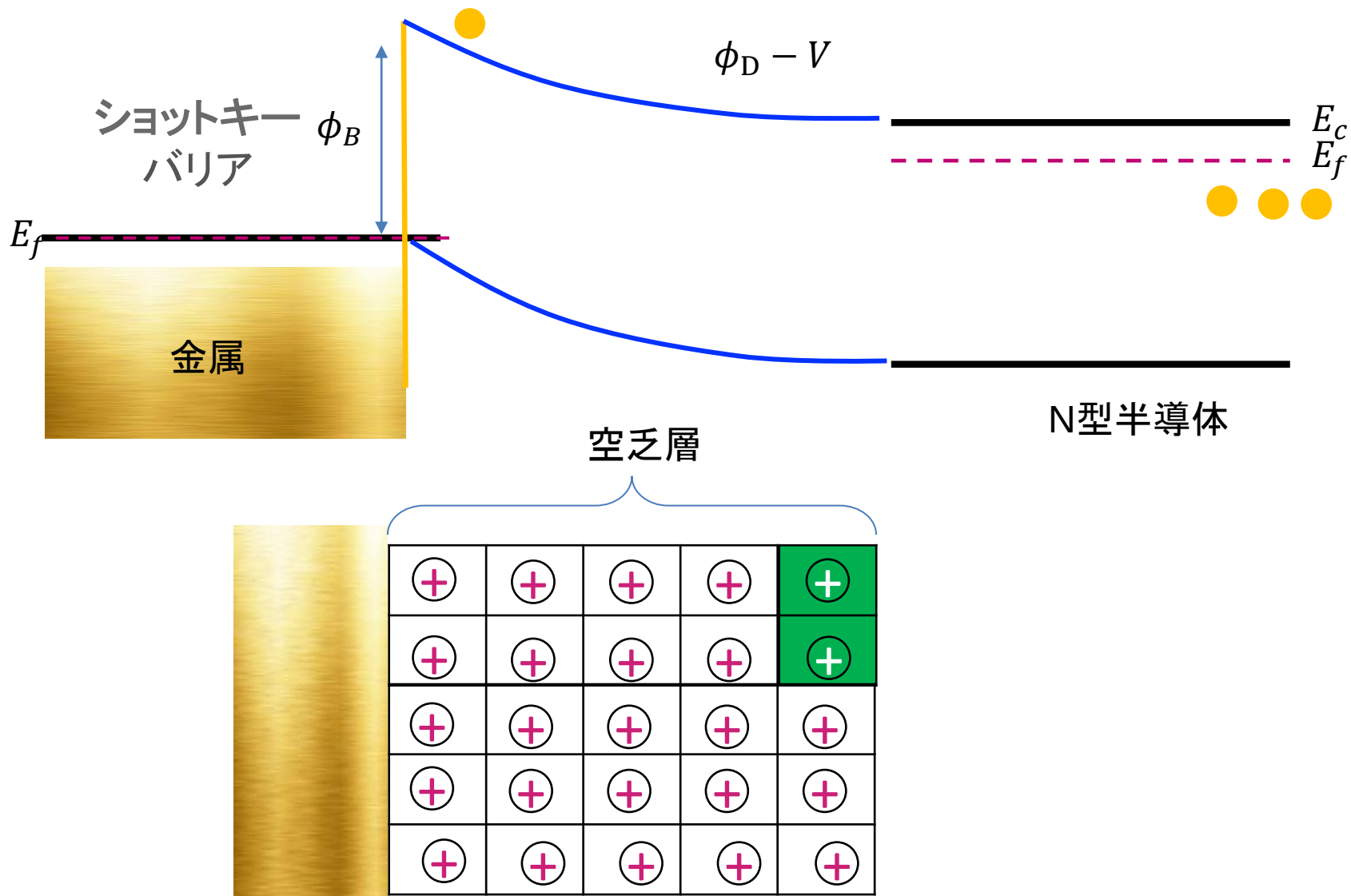
PN接合の拡張：通常のコンデンサへ



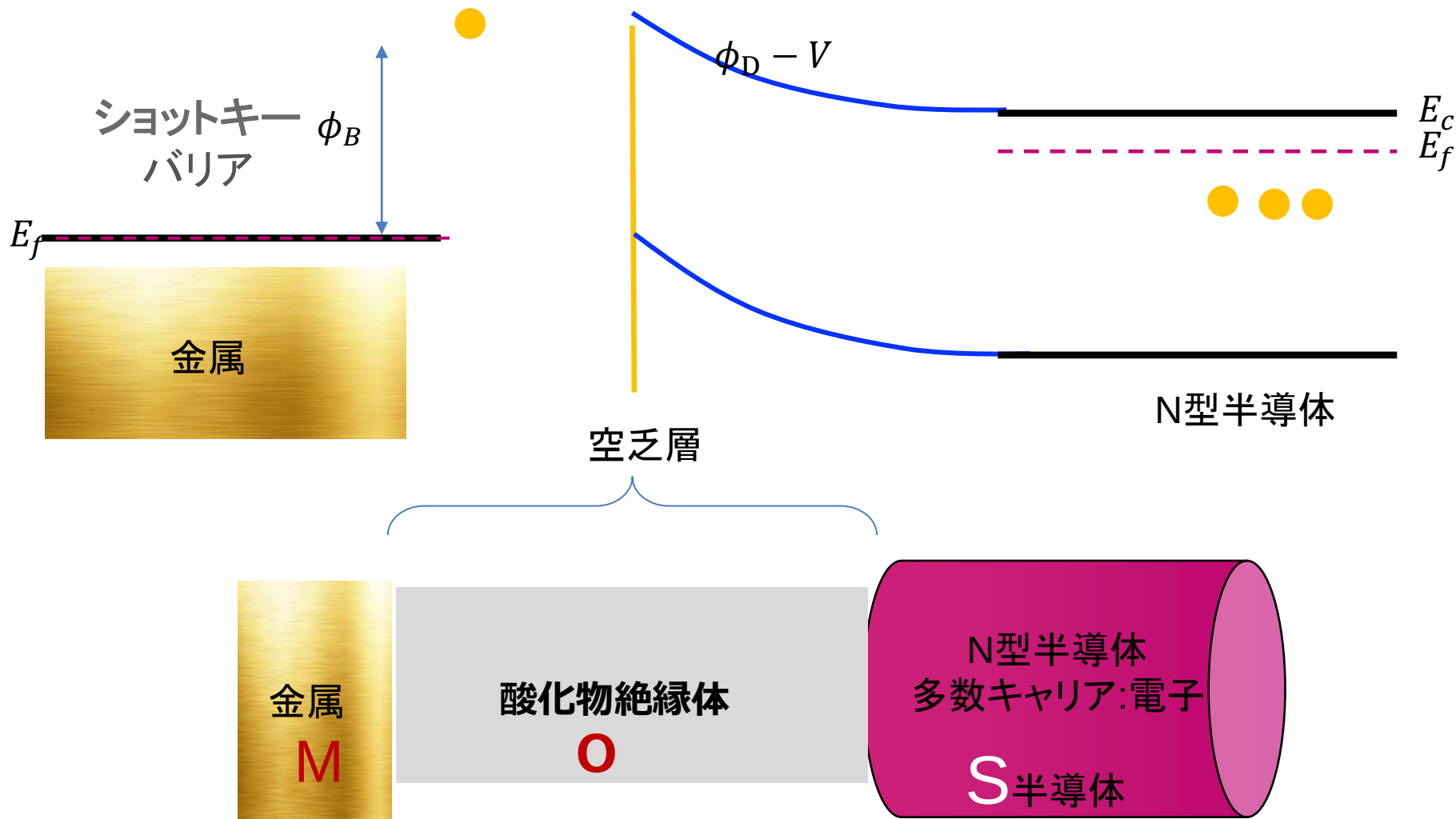
金属における電圧降下はほぼゼロなので、
金属板の幅は無視することができる。電圧は直接
金属/酸化物の界面にかかっているイメージ

名前の更新：PN→**MOS**

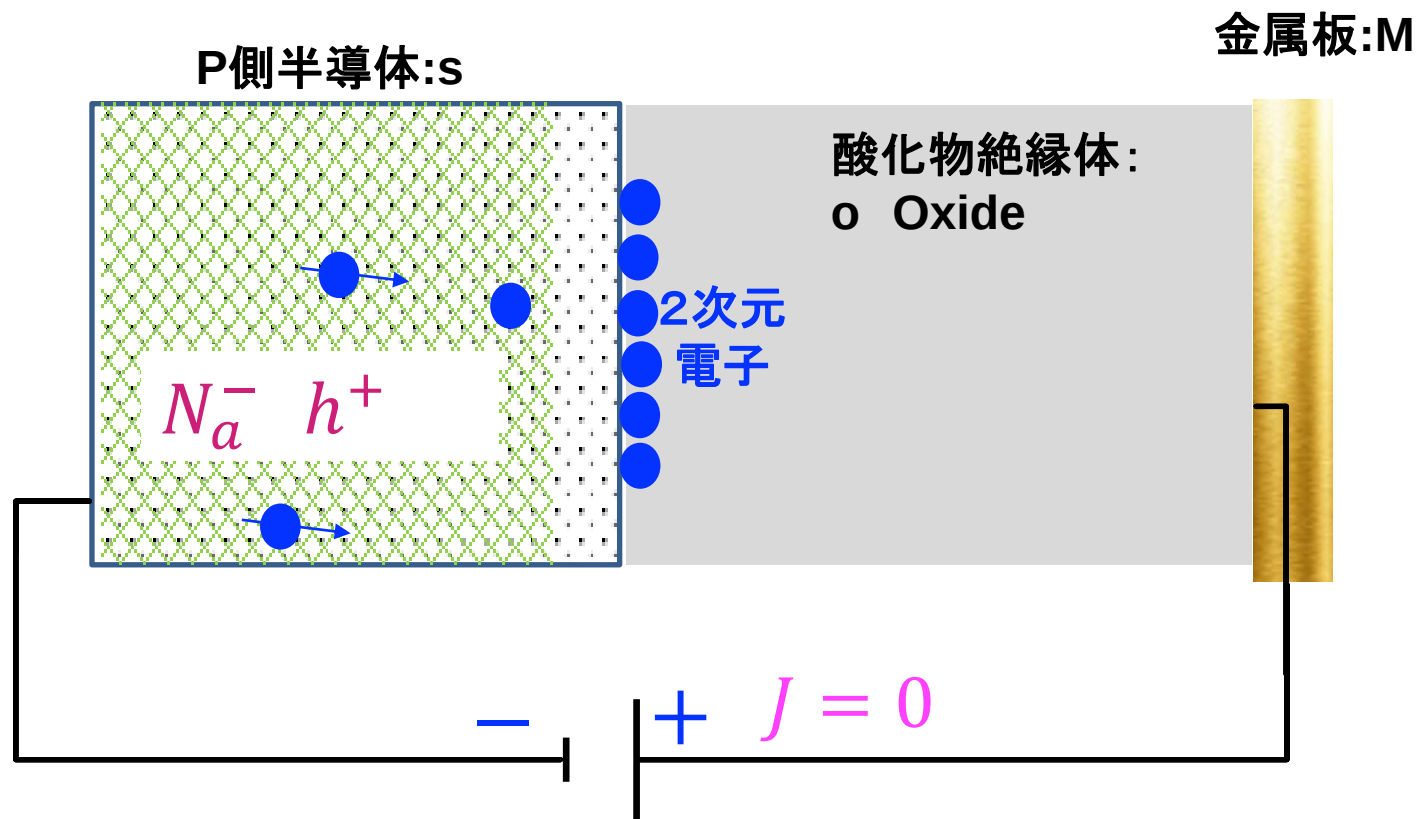
ショットキーダイオードの空乏層



ショットキーダイオードからMOS構造

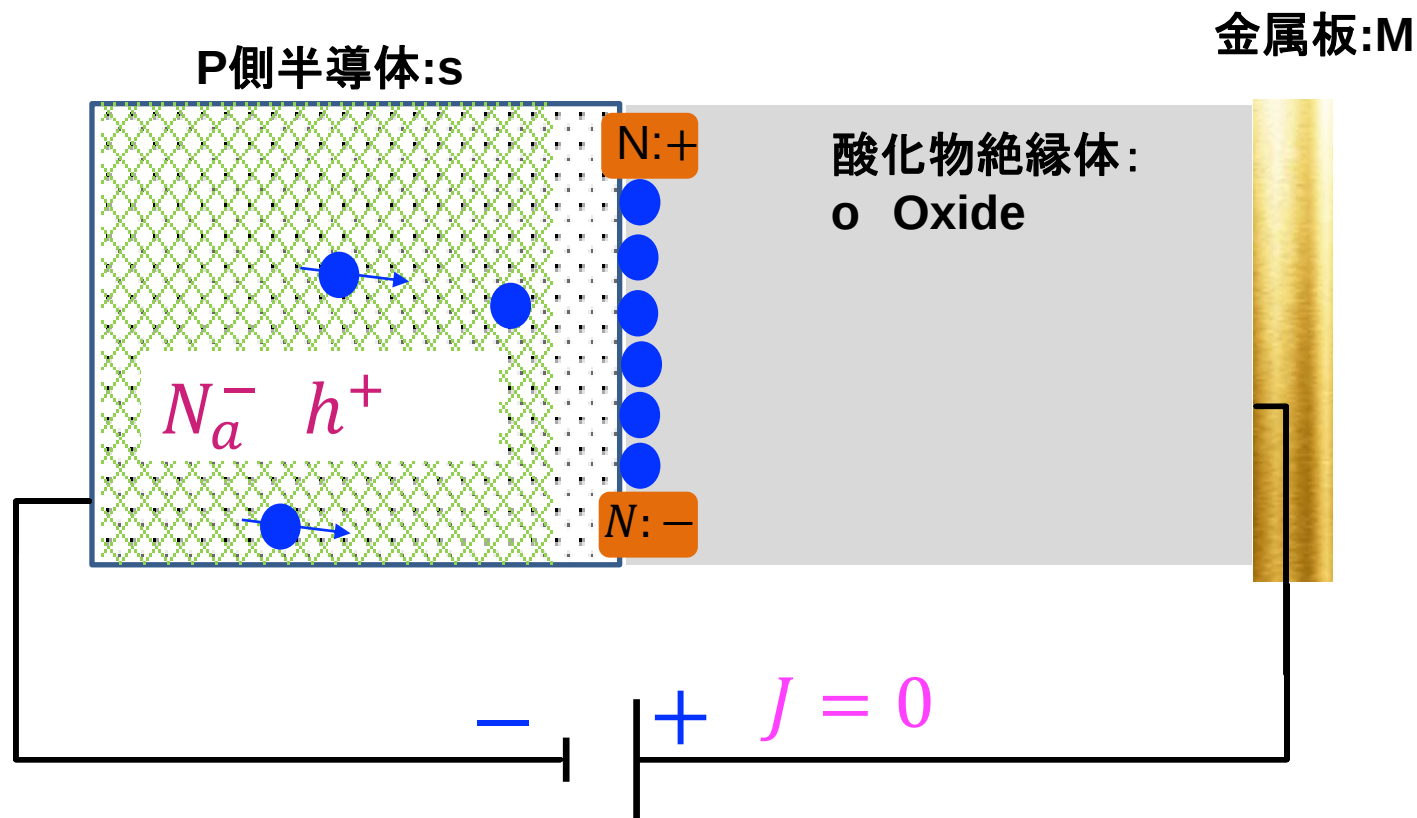


MOS接合:2次元電子の活用方法



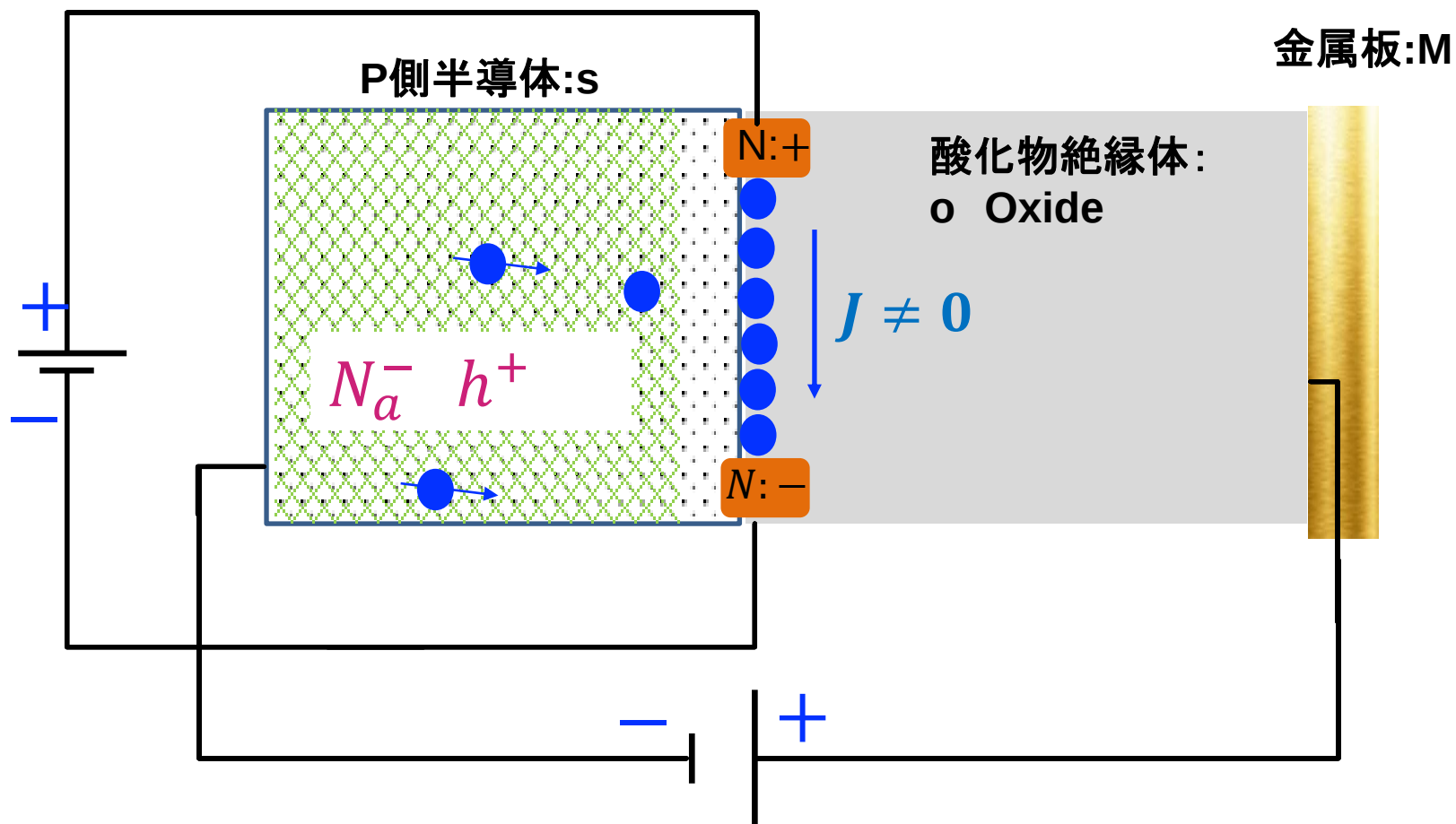
MOS接合:半導体と絶縁体の界面(2次元)に2次元電子が溜まっている。この2次元電子を利用したい！！

MOS接合:2次元電子の活用方法



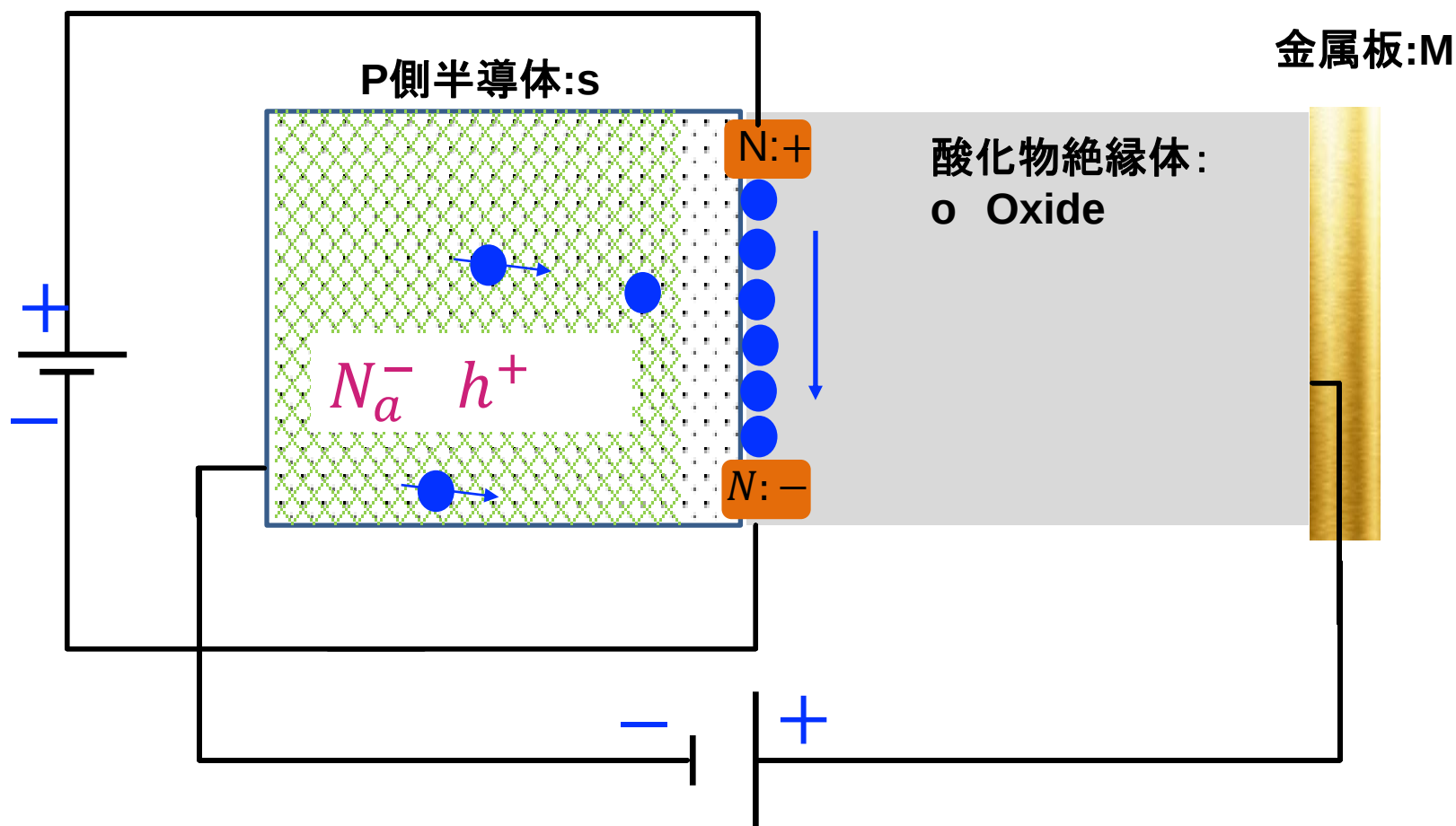
2次元電子の縦方向の両端に電極を設ける。

MOS接合:2次元電子の活用方法



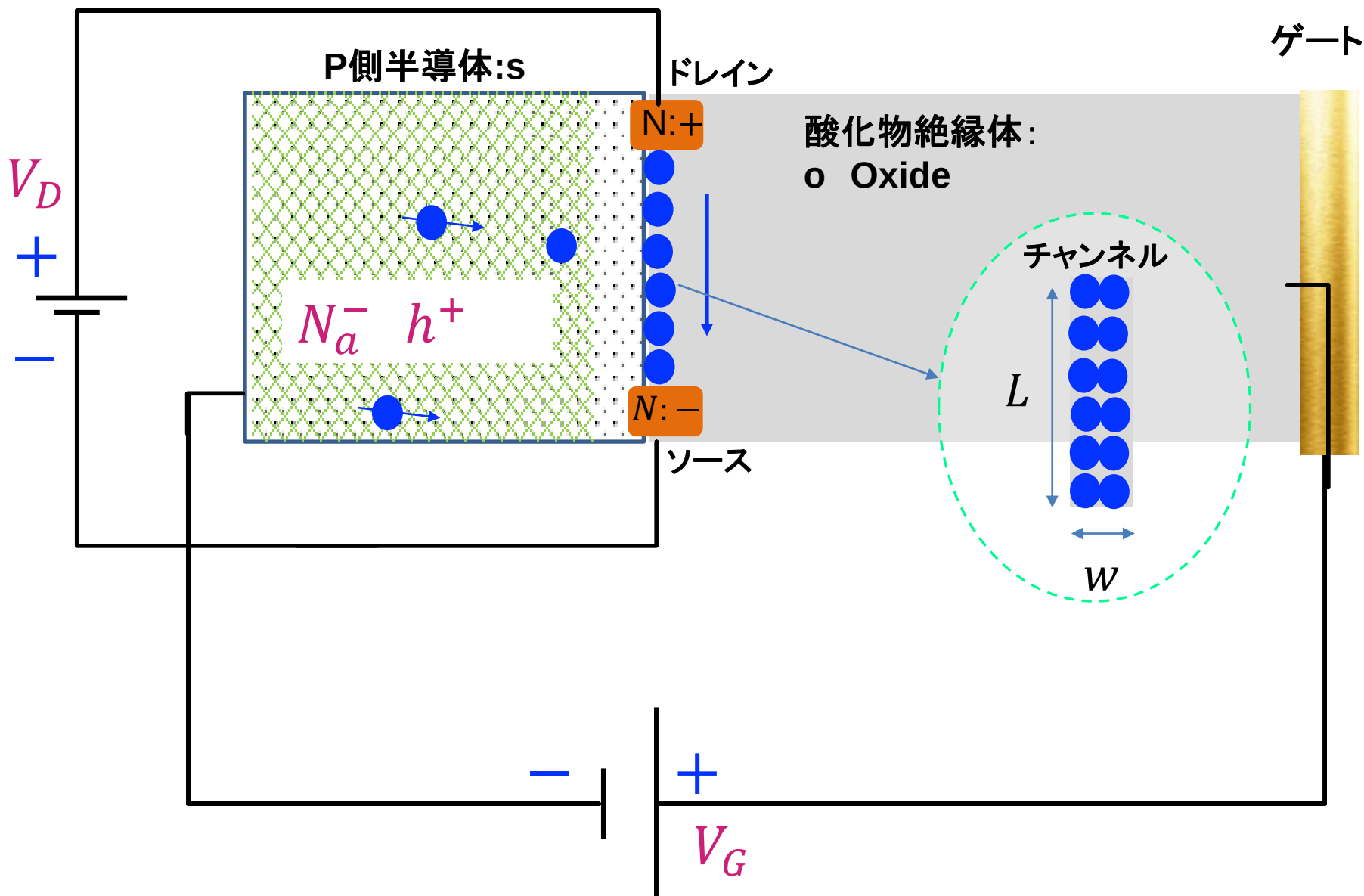
2次元電子の縦方向の両端に電極を設ける。
縦方向から電圧をかけて電流を作る:

MOSトランジスタ: MOS-FEトランジスタ

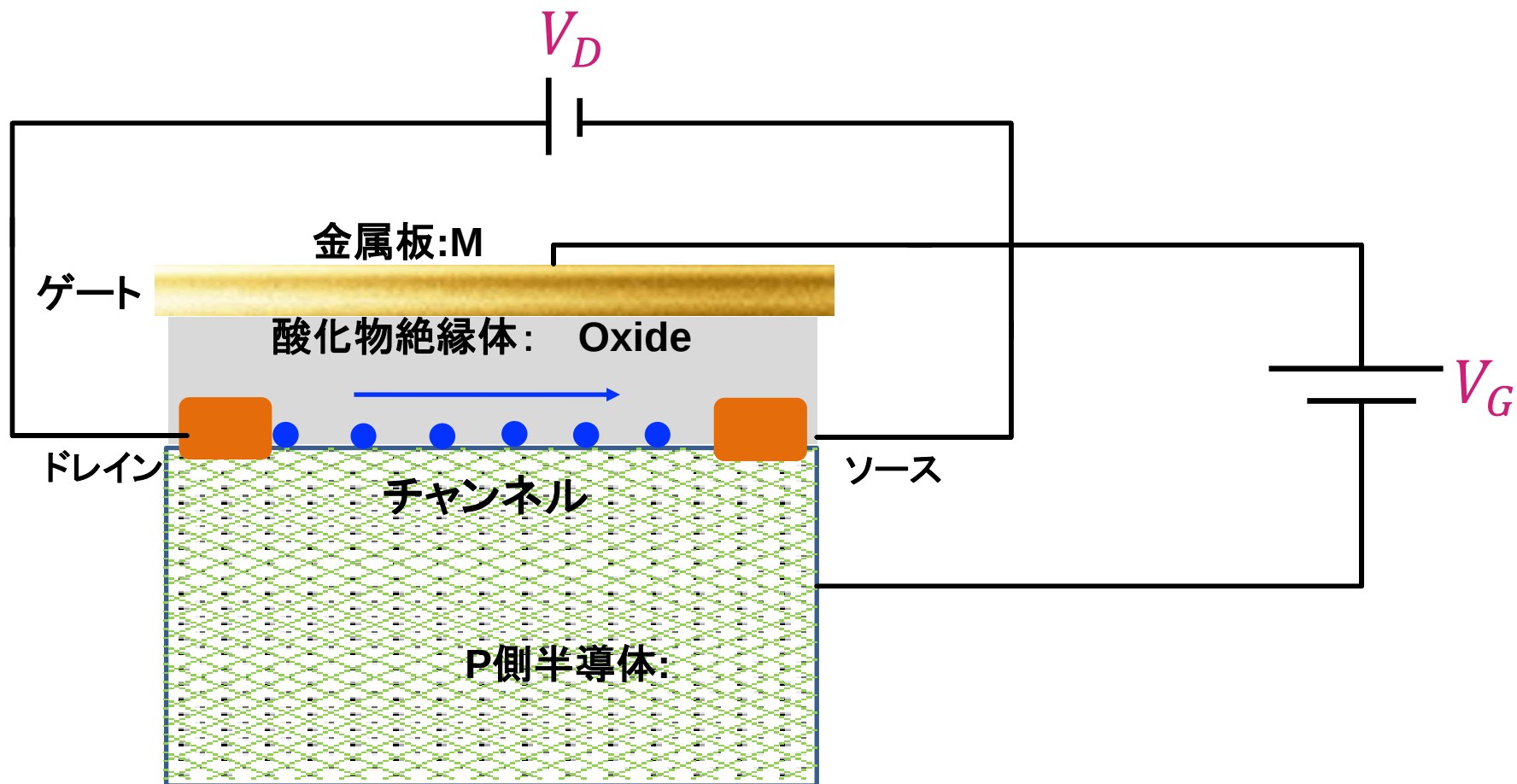


縦方向から電圧をかけて電流を作る:
電場効果→Field Effectとして解釈する

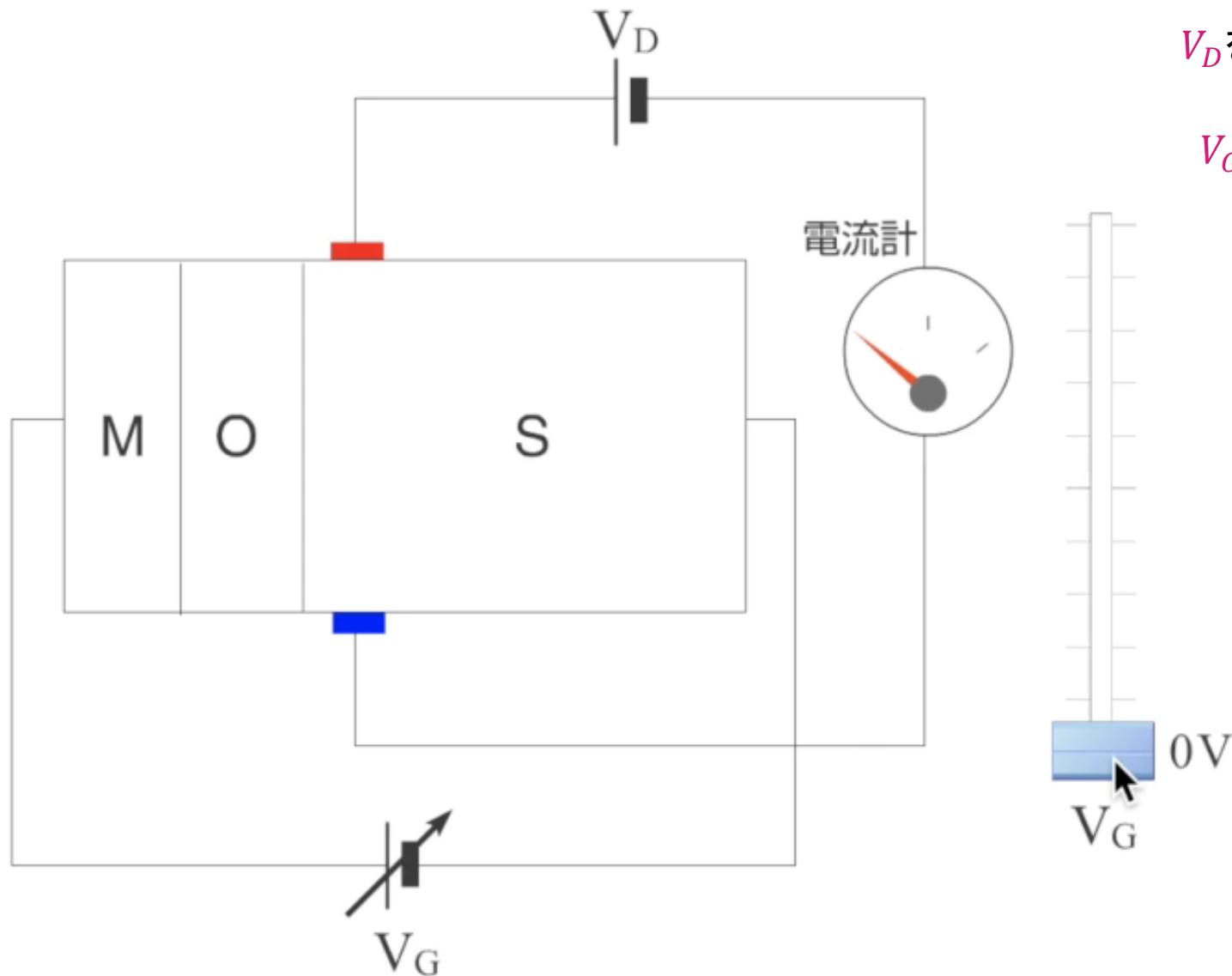
MOS-FETの各部所の名所



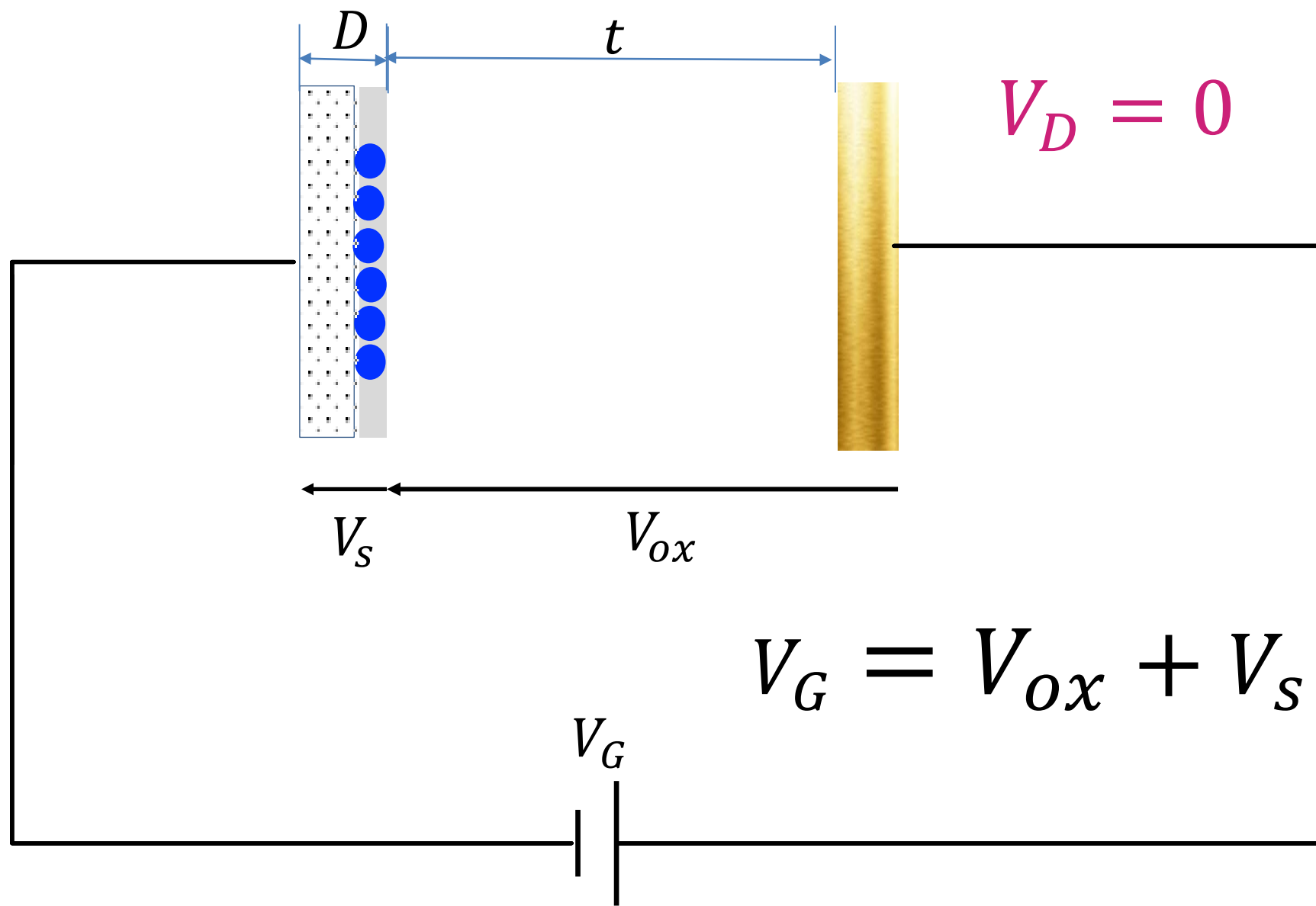
MOS-FET : 回転表示



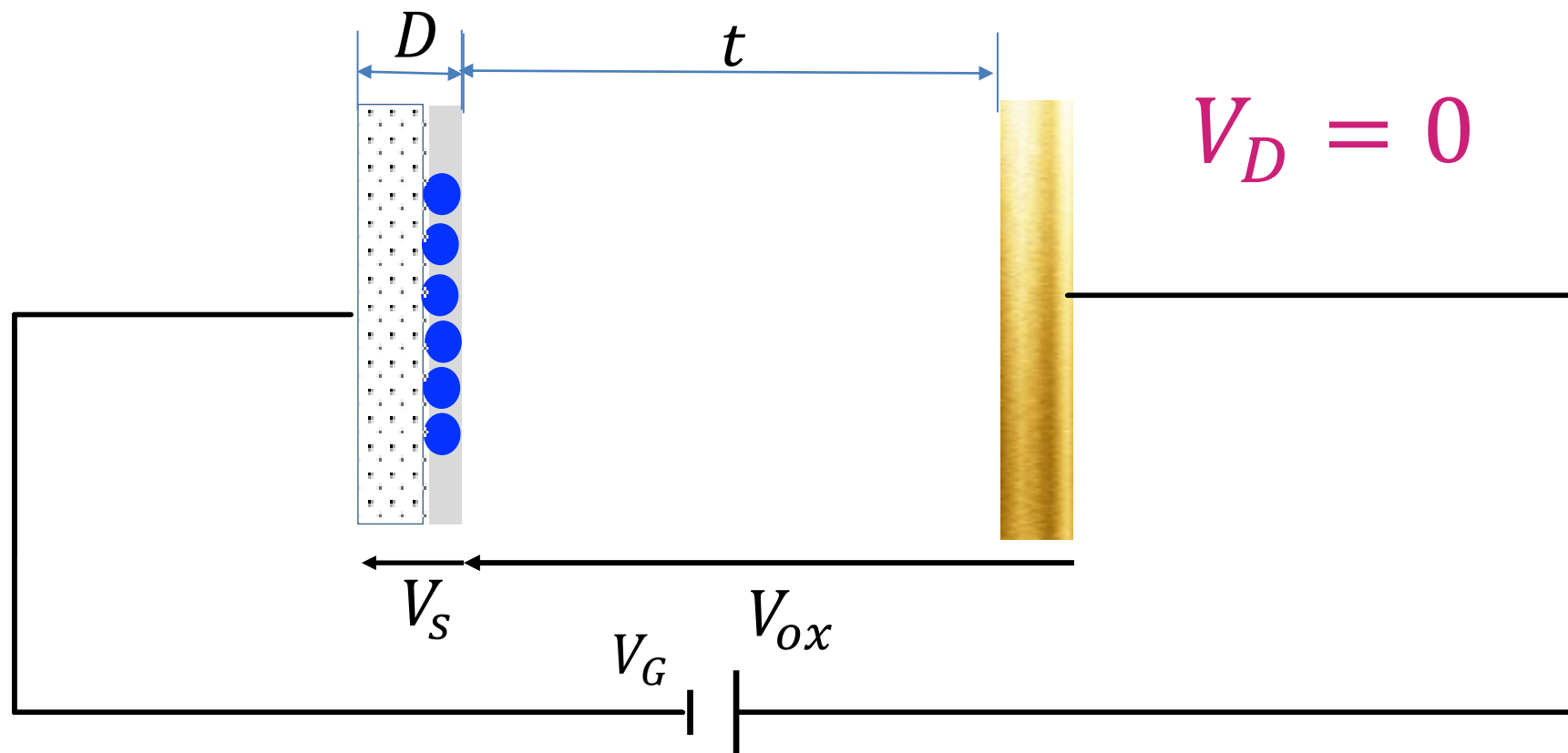
MOS-FETの:動作時の様子



MOS-FET: 接合領域の特性解析



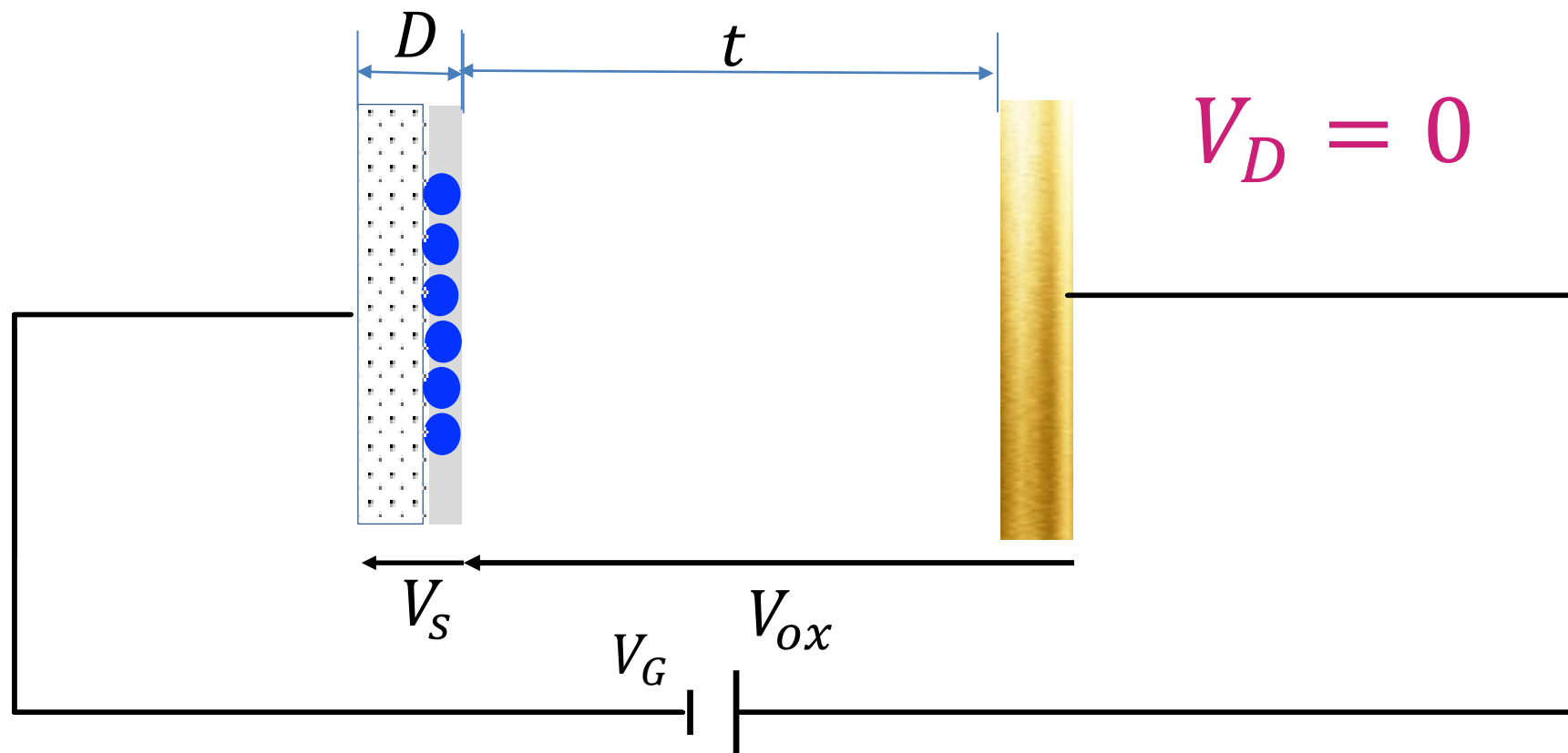
MOS-FET: 接合領域の特性解析



$$C_{ox} = \epsilon_{ox} \frac{A}{t} = \epsilon \frac{1}{t}$$

$$V_{ox} = \frac{Q_M}{C_{ox}} = \frac{Q_M}{\epsilon_{ox}} t$$

MOS-FET: 接合領域の特性解析



$$C_s = \epsilon_s \frac{1}{\frac{1}{2}D} = \epsilon_s \frac{2}{D}$$

$$V_s = \frac{DN_A}{\epsilon_s \frac{2}{D}} = \frac{N_A}{2\epsilon_s} D^2$$

MOS-FET: 接合領域の特性解析 $V_D = 0$

$$V_s = \frac{DN_A}{\epsilon_s \frac{D}{2}} = \frac{N_A}{2\epsilon_s} D^2 \qquad V_{ox} = \frac{Q_M}{C_{ox}} = \frac{Q_M}{\epsilon_{ox}} t$$

$$Q_M = Q_N + N_A D$$

$$\frac{Q_N + N_A D}{\epsilon_{ox}} t + \frac{N_A}{2\epsilon_s} D^2 = V_G$$

$$Q_N = \frac{\epsilon_{ox}}{t} \left(V_G - \frac{N_A}{2\epsilon_s} D^2 - \frac{N_A D}{\epsilon_{ox}} t \right)$$

$$Q_N = \frac{\varepsilon_{ox}}{t} \left(V_G - \frac{N_A}{2\varepsilon_s} D^2 - \frac{N_A D}{\varepsilon_{ox}} t \right)$$

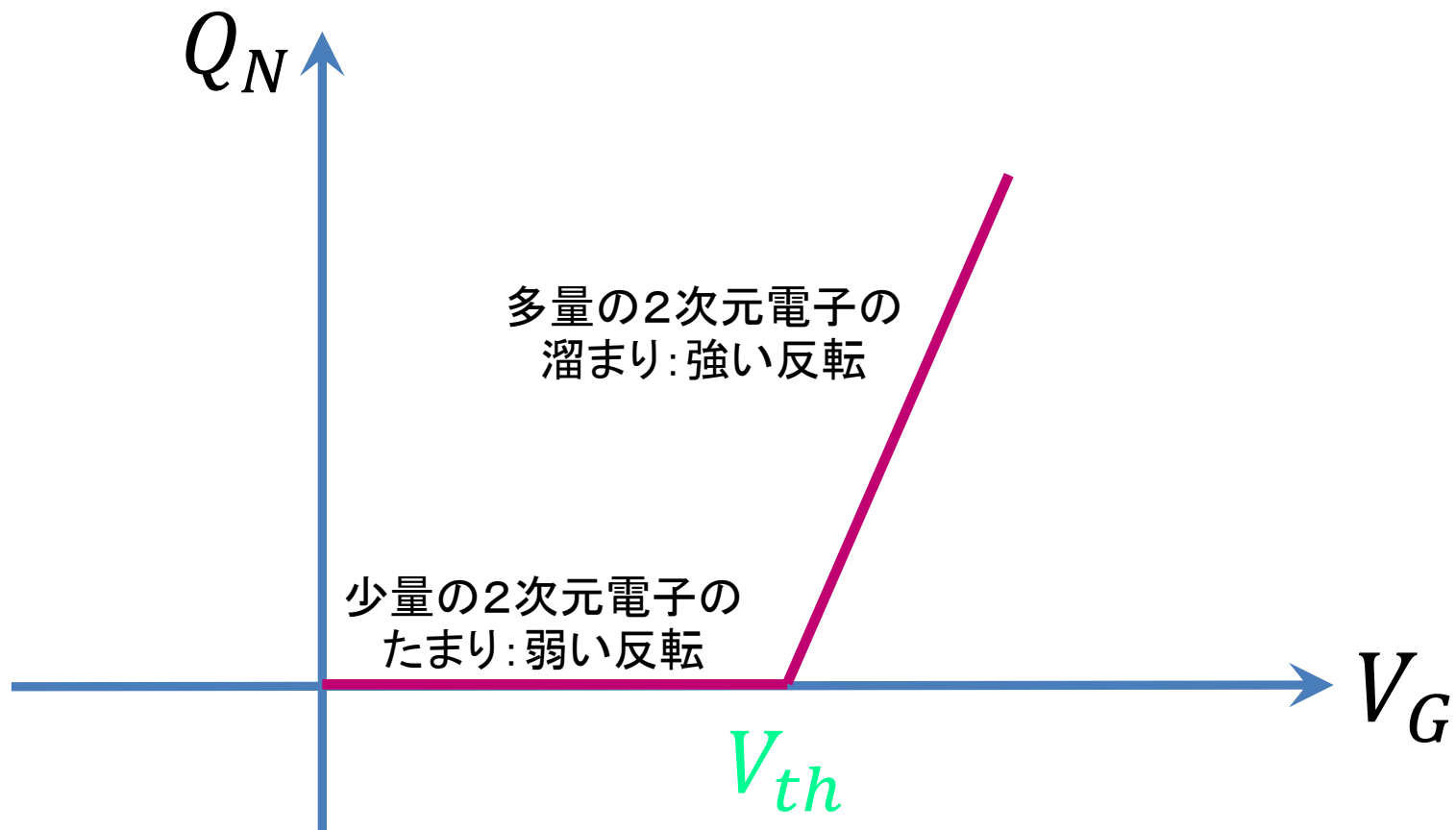
$$V_{th} = \frac{N_A}{2\varepsilon_s} D_{max}^2 + \frac{N_A D_{max}}{\varepsilon_{ox}} t$$

$$Q_N = \frac{\varepsilon_{ox}}{t} (V_G - V_{th})$$

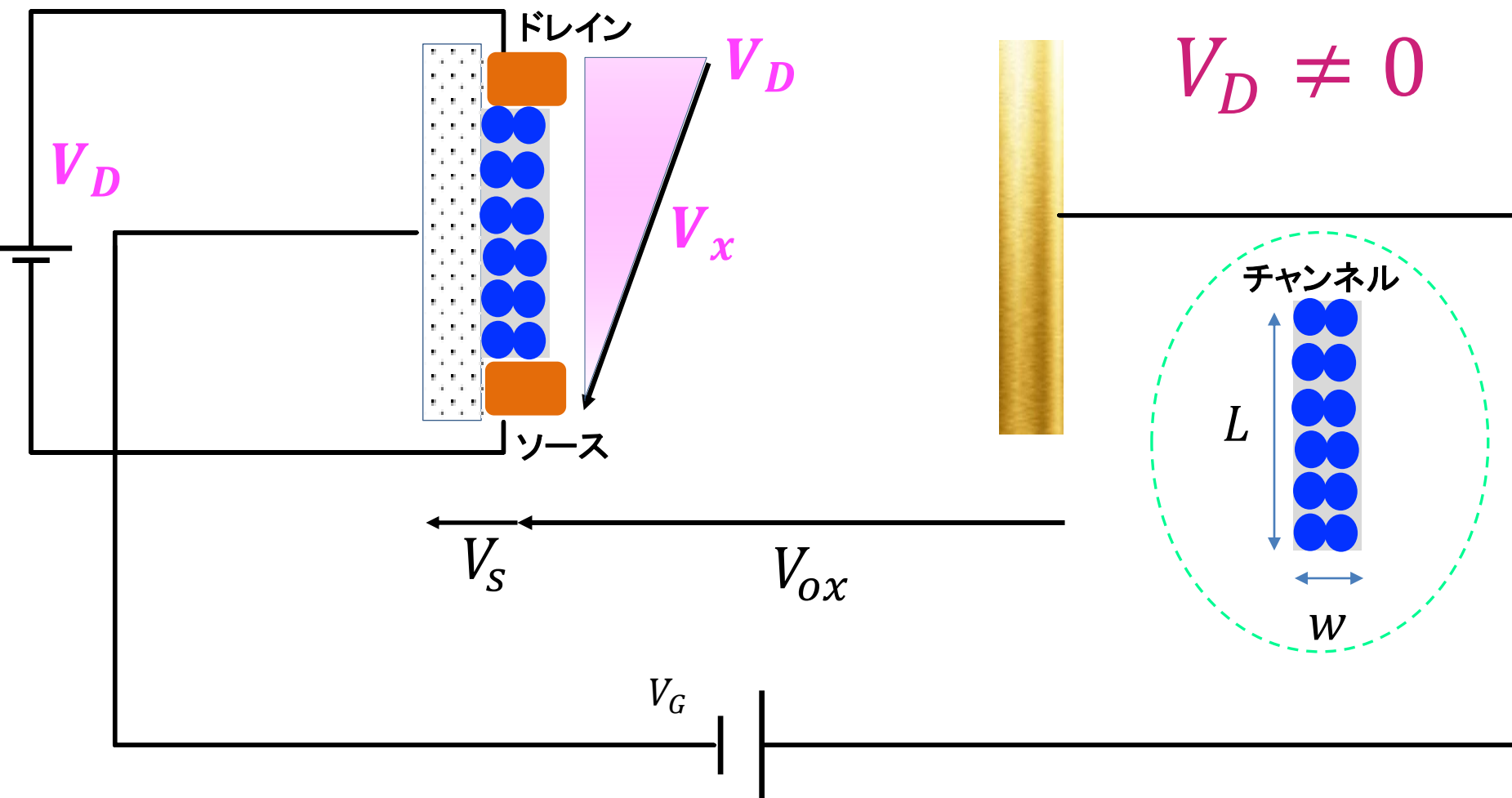
$$Q_N = C_{ox} (V_G - V_{th})$$

MOS-FET: 2次元電子の電荷量

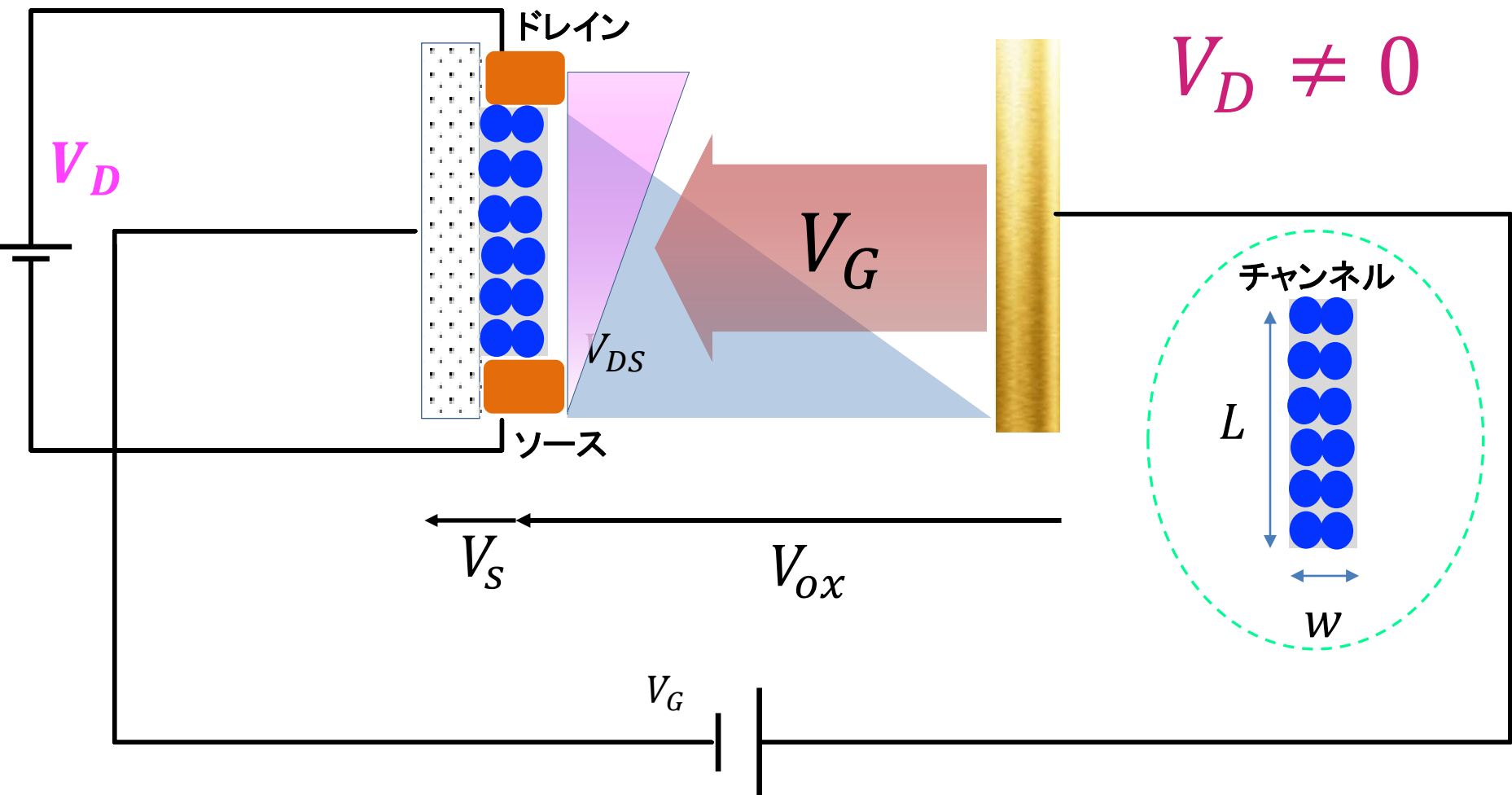
$$Q_N = C_{ox}(V_G - V_{th})$$



2次元電子から作ったチャンネル電流： I_D



2次元電子から作ったチャンネル電流： I_D



2方向の電圧の交差領域に電圧をかけにくい現象が起きる。特にドレインに近い領域、 V_D の値が大きいので、近似として

$$V_{DS} = V_G - V_x$$



2次元電子から作ったチャンネル電流： I_D

$$Q_N = C_{ox}(V_G - V_x - V_{th})W$$

多数キャリアによる電流：ドリフト電流

$$I = qn\mu E$$

$$I_D = Q_N \mu E_x$$

$$E_x = \frac{dV_x}{dx}$$

2次元電子から作ったチャンネル電流： I_D

$$I_D = Q_N \mu \frac{dV_x}{dx}$$

$$\int_0^L I_D dx = \int_0^{V_D} Q_N \mu dV_x$$

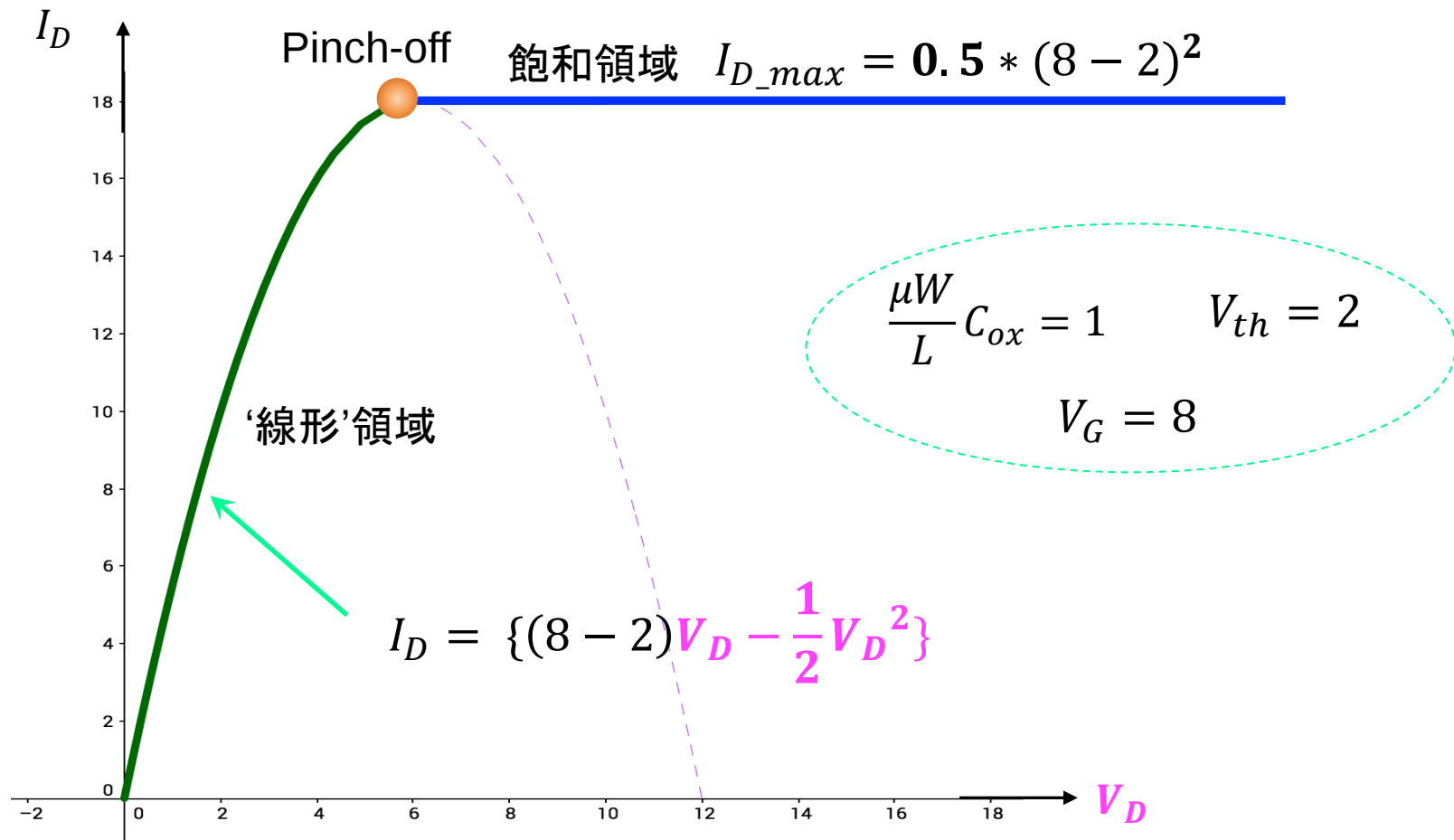
$$\int_0^L I_D dx = \int_0^{V_D} \mu W C_{ox} (V_G - V_x - V_{th}) dV_x$$

$$I_D = \frac{\mu W}{L} C_{ox} \left\{ (V_G - V_{th}) V_D - \frac{1}{2} V_D^2 \right\}$$

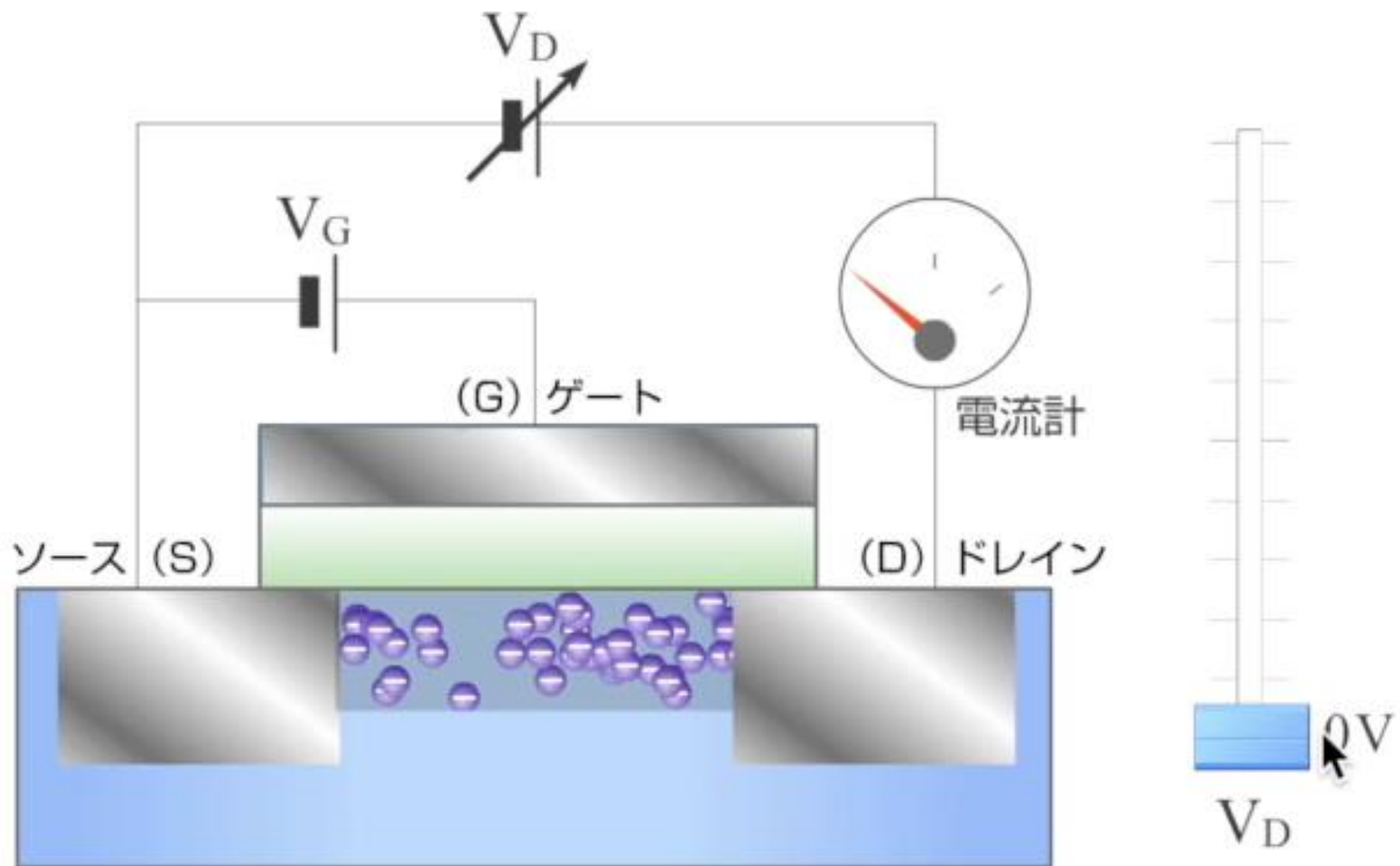
$$I_{D_max} = \frac{\mu W}{2L} C_{ox} (V_G - V_{th})^2$$

2次元電子から作ったチャンネル電流： I_D

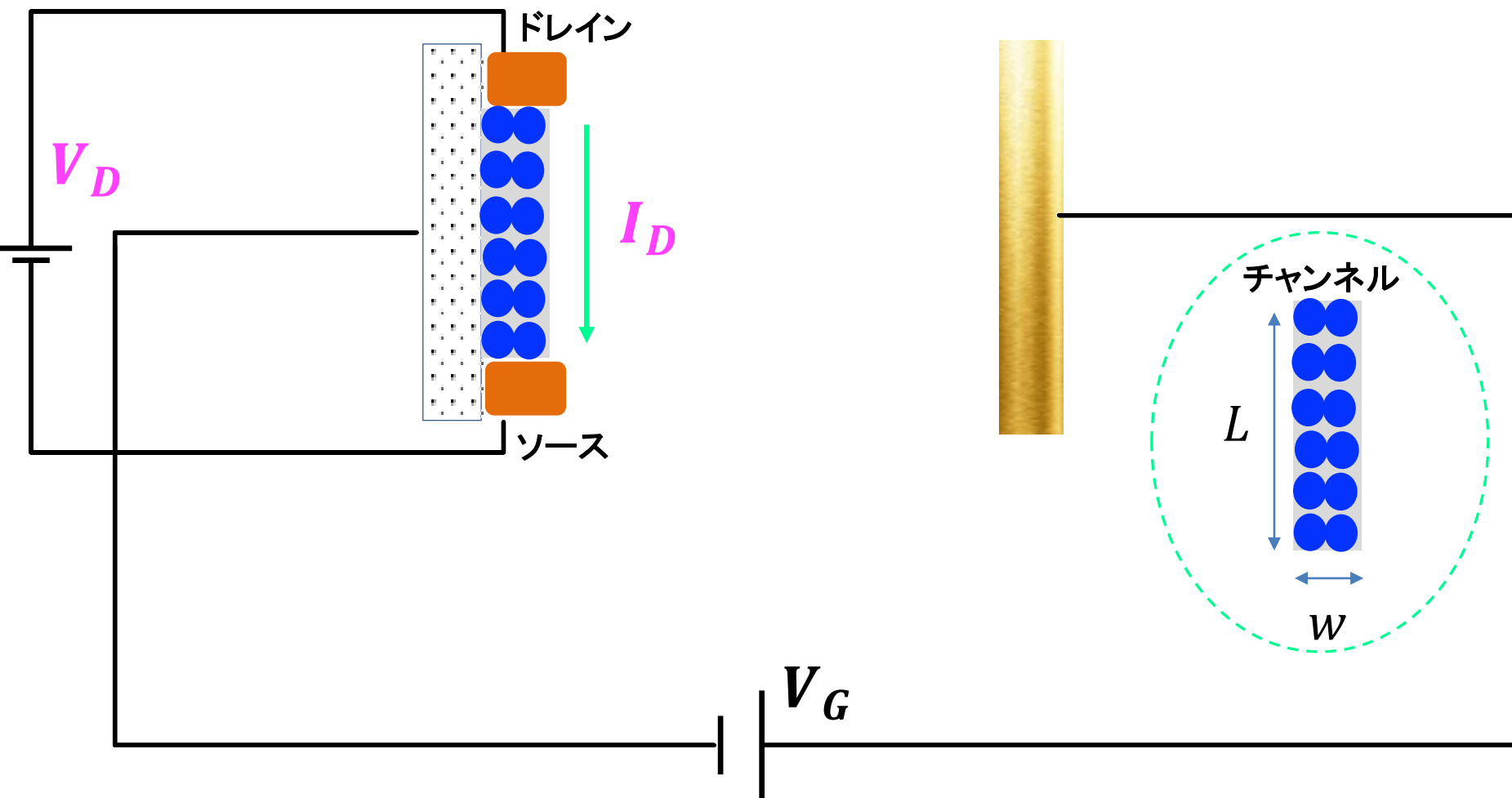
$$I_D = \frac{\mu W}{L} C_{ox} \left\{ (V_G - V_{th}) V_D - \frac{1}{2} V_D^2 \right\}$$



2次元電子から作ったチャンネル電流の V_D 依存性

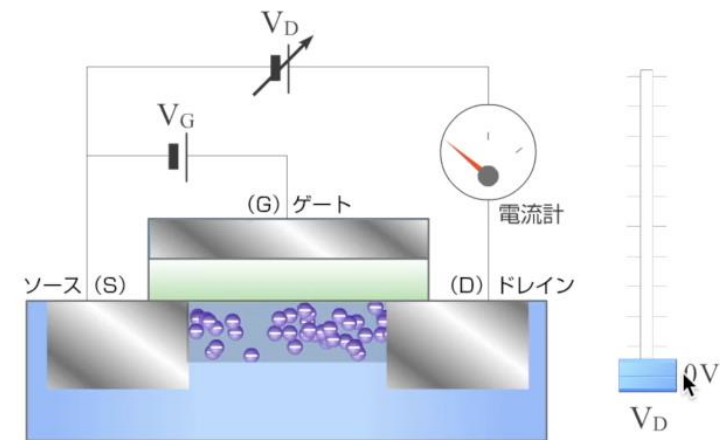
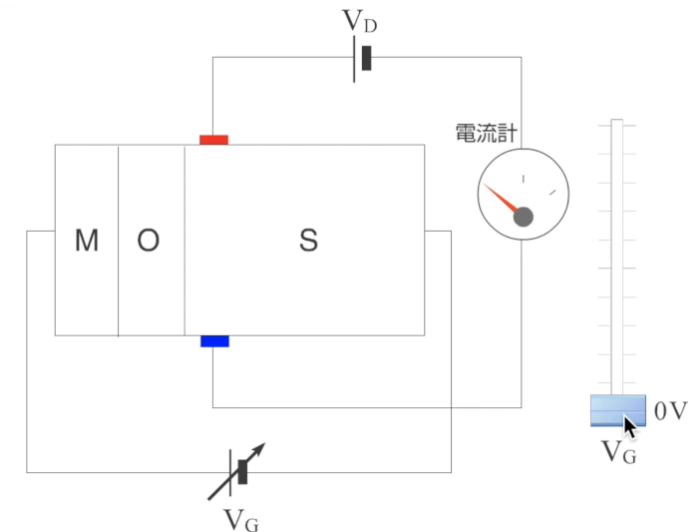
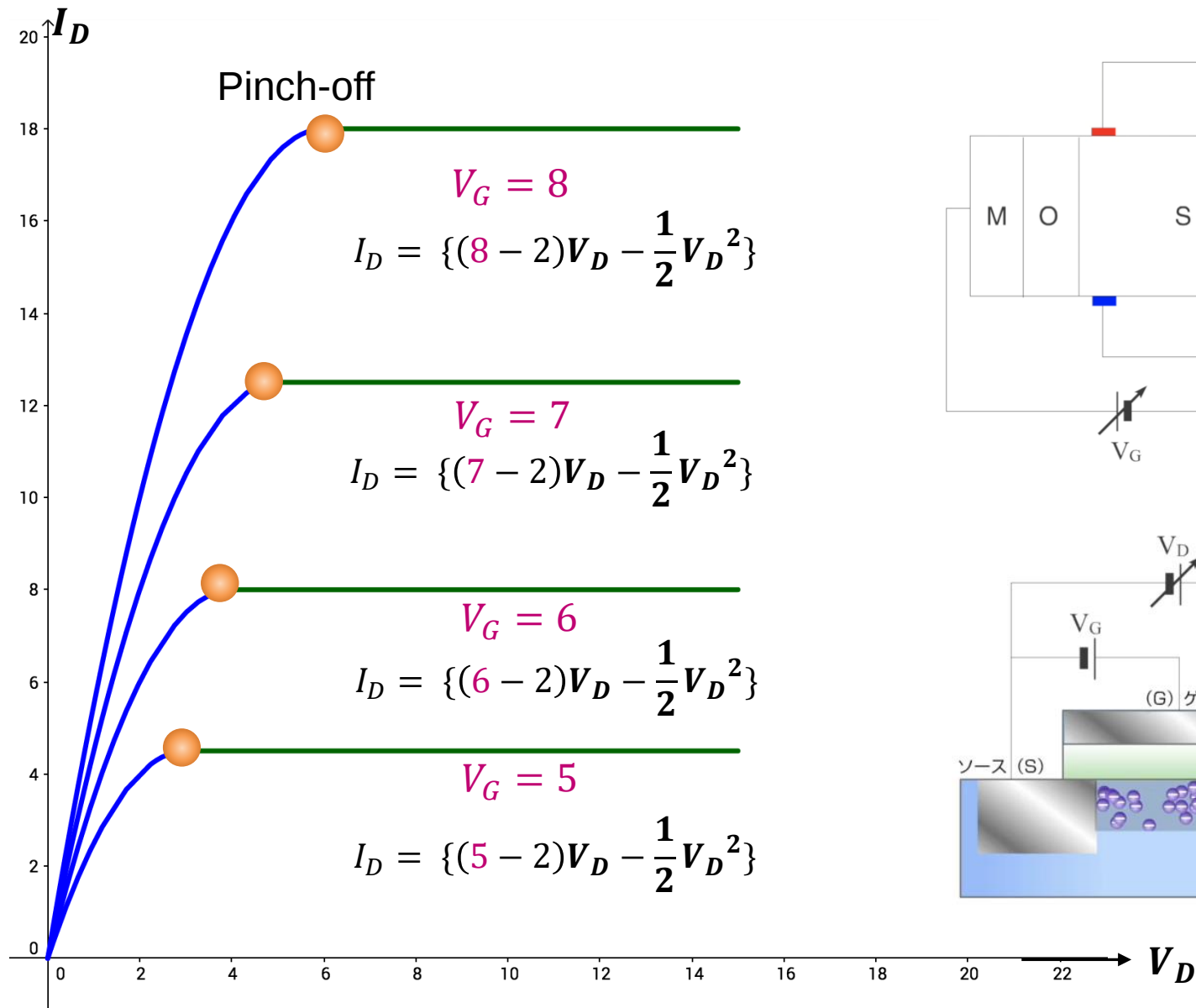


2次元電子から作ったチャンネル電流の V_G 依存性

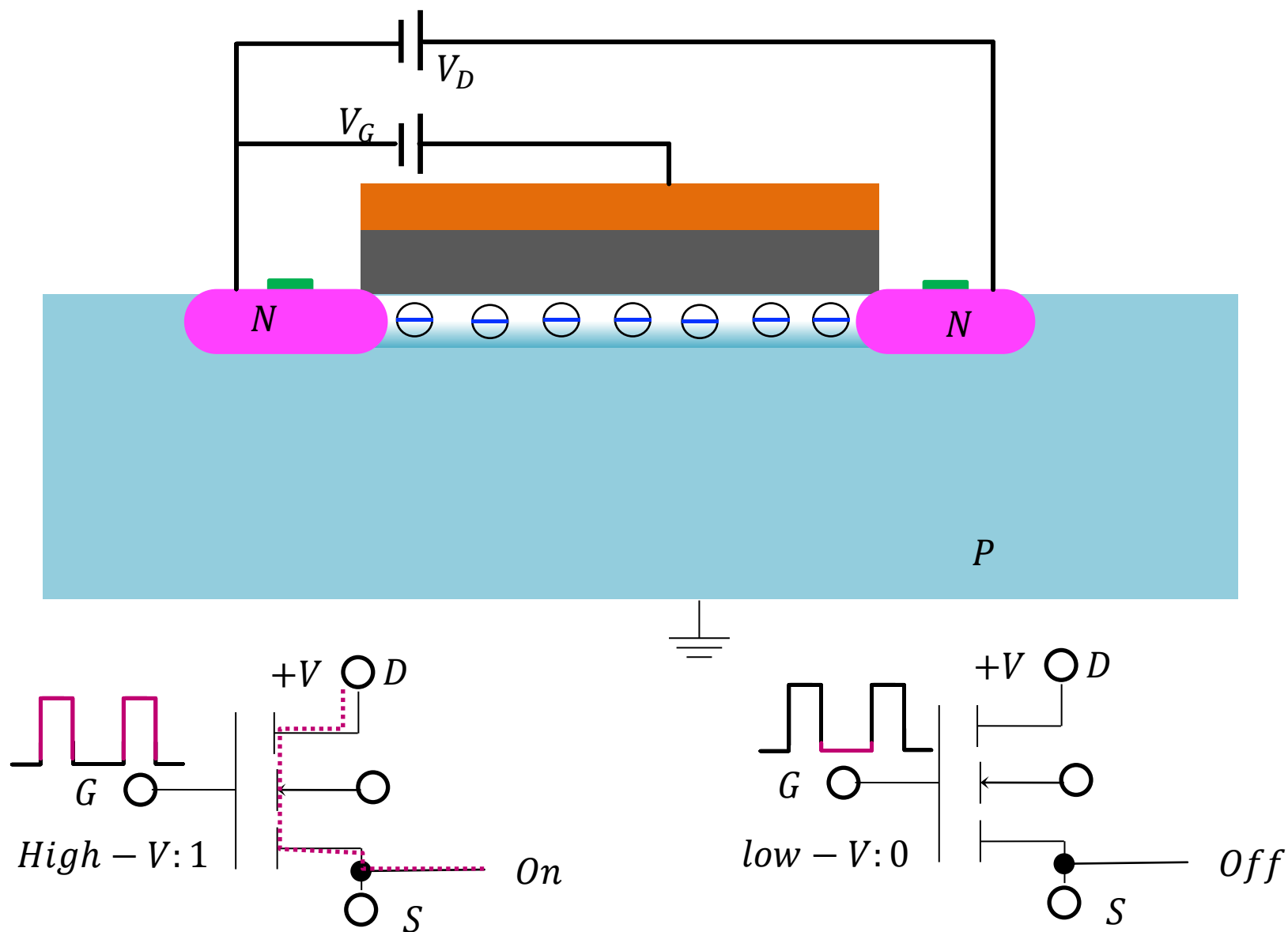


$$I_{D_max} = \frac{\mu W}{L} C_{ox} (V_G - V_{th})^2$$

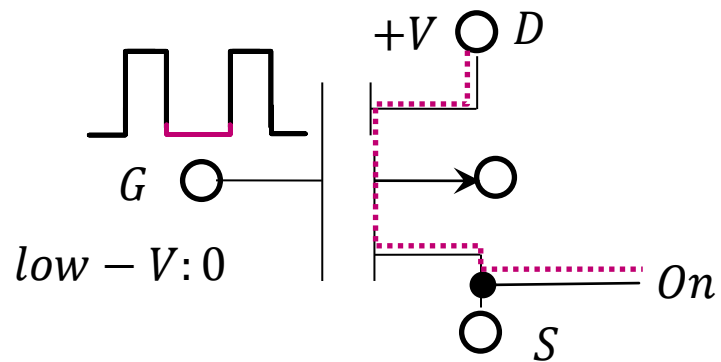
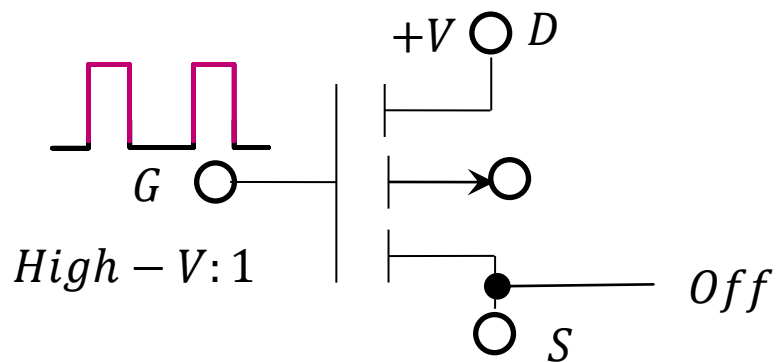
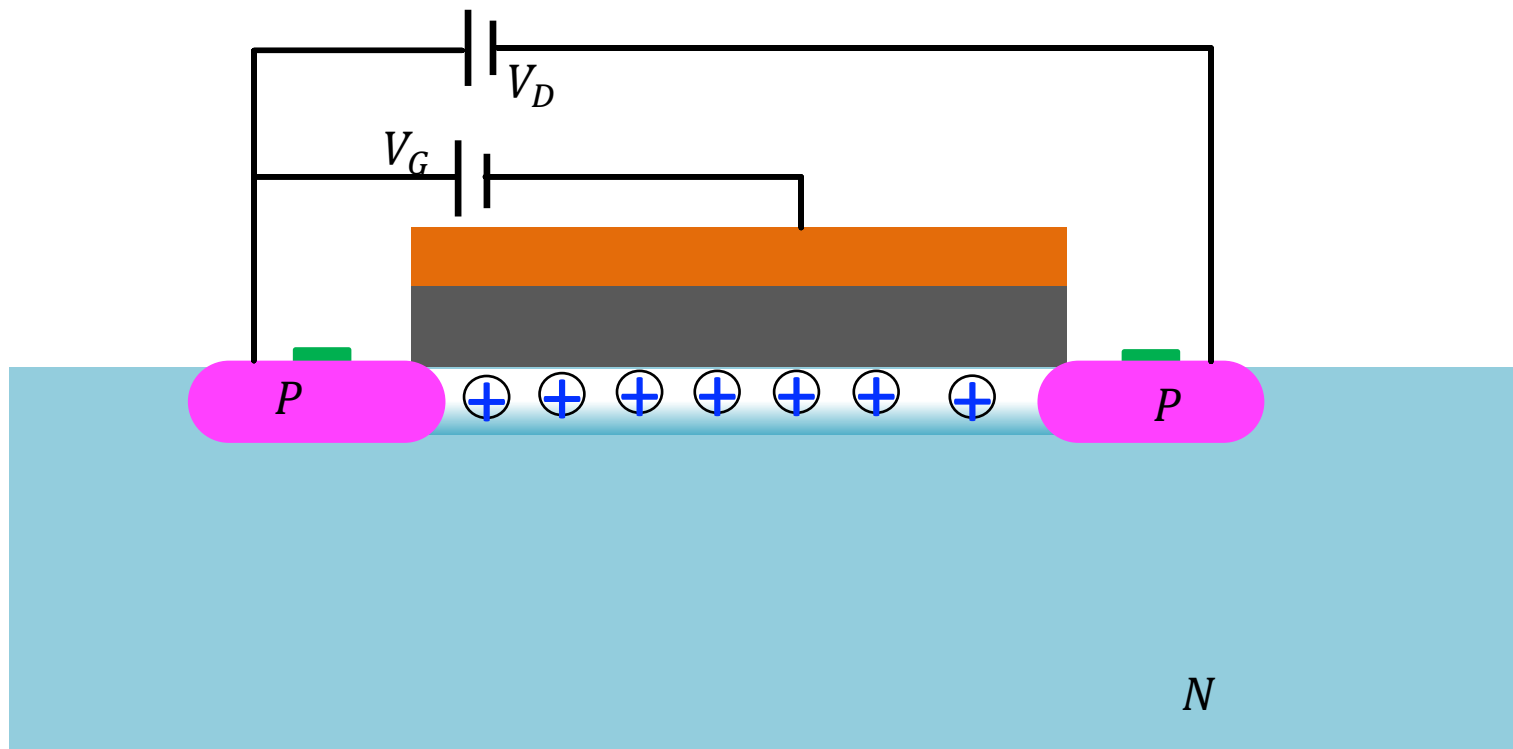
2次元電子チャンネル電流の V_G 依存性



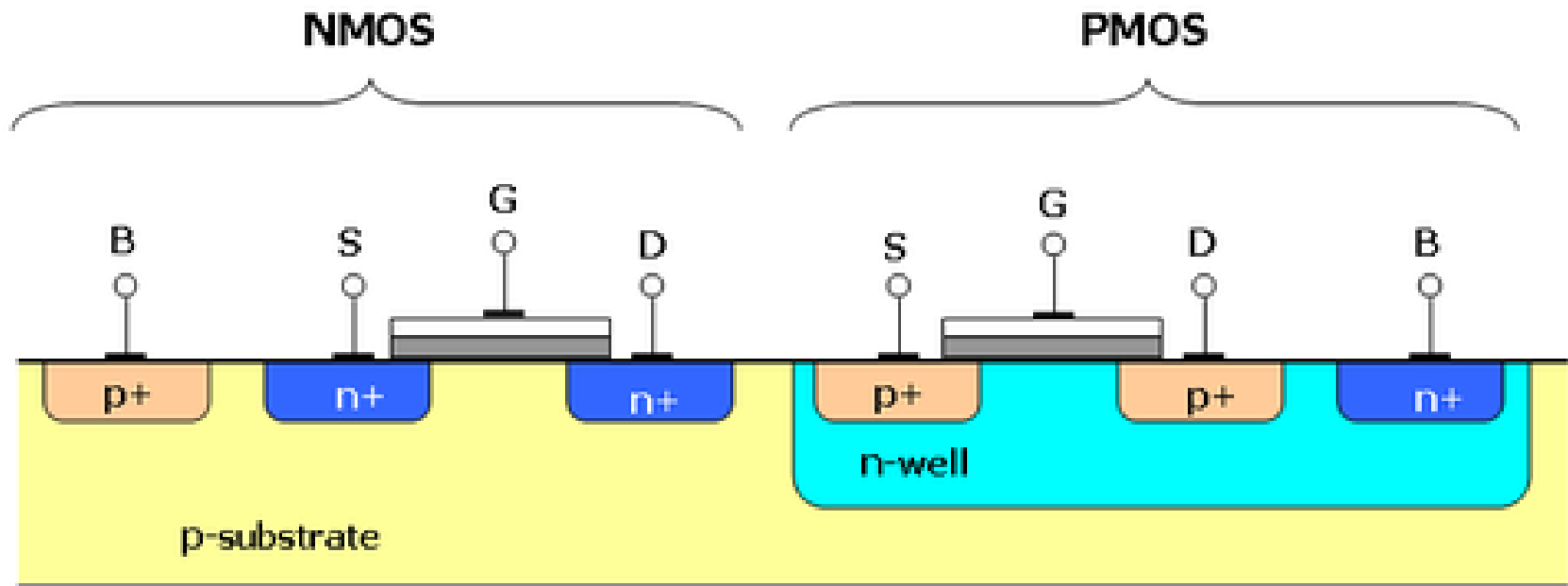
MOSFET : N-MOSと論理演算



MOSFET : P-MOSと論理演算

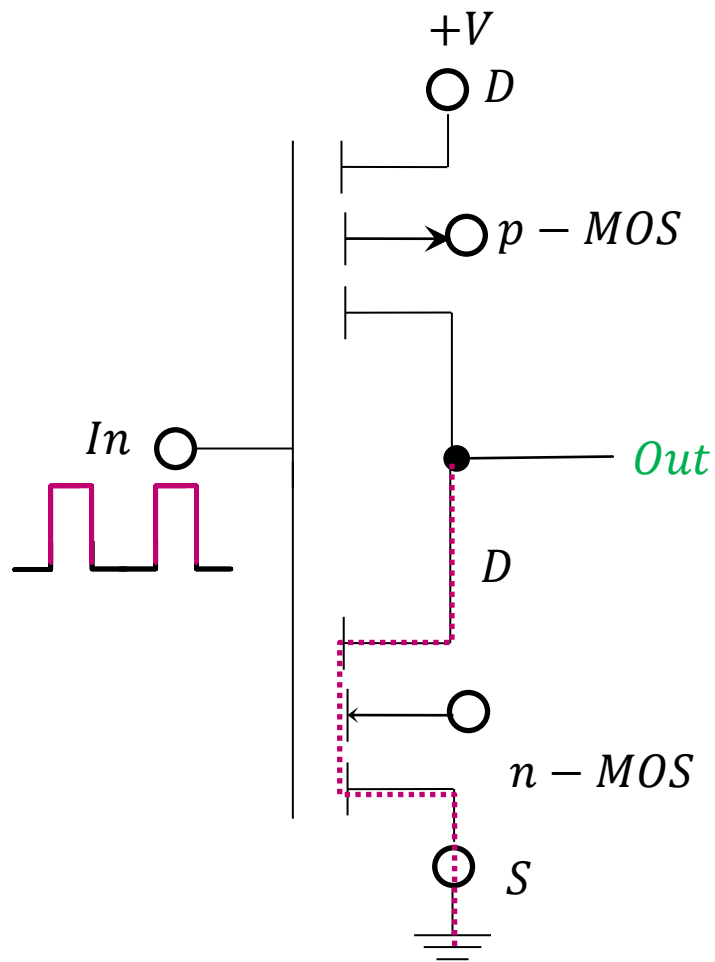


$C - MOS$ 集積回路



$C - MOS$

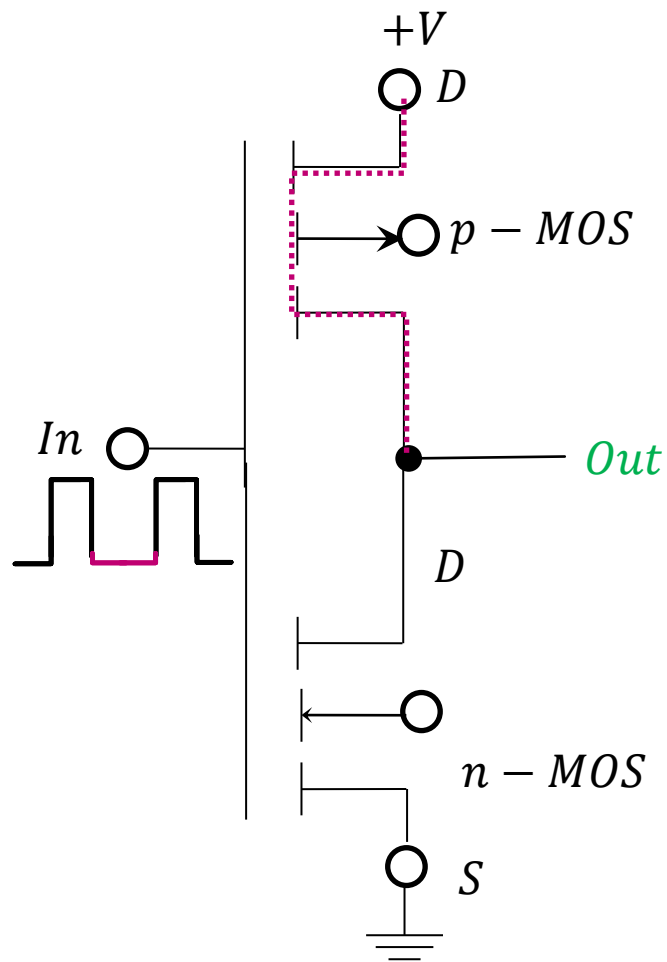
$P - MOS + N - MOS$



$CMOS$

NOT 回路

In	N-MOS	P-MOS	OUT
High	ON	OFF	Low

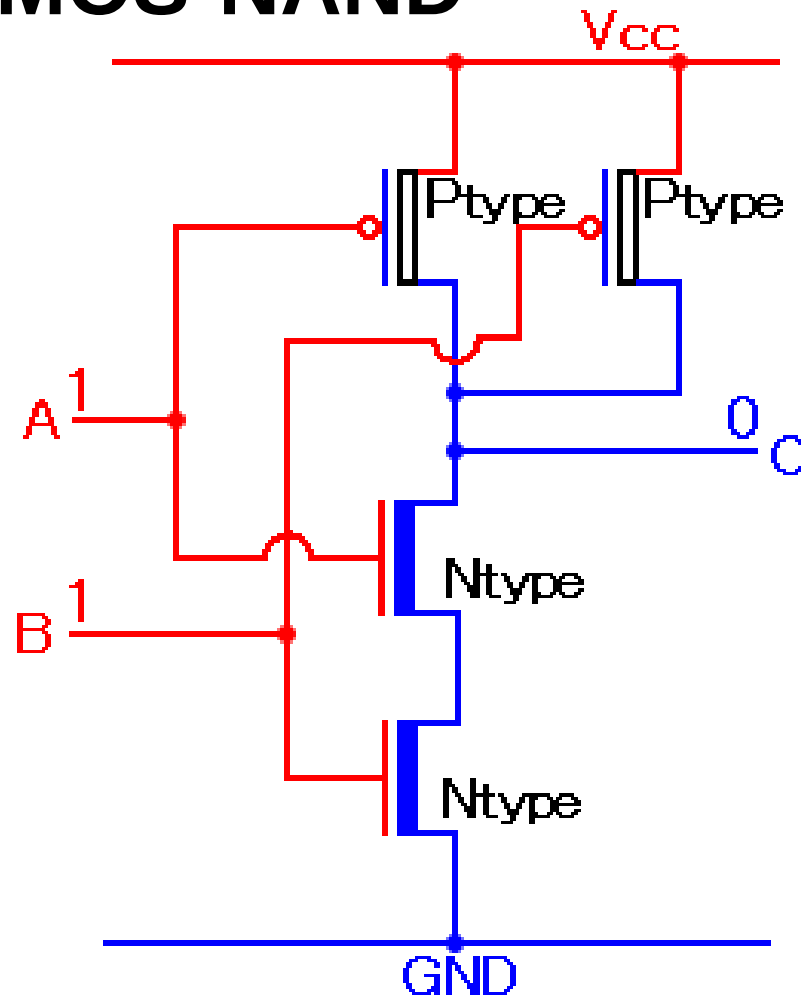


C - MOS

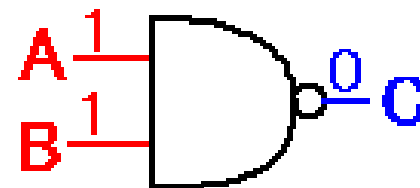
NOT回路

In	N-MOS	P-MOS	OUT
Low	Off	ON	High

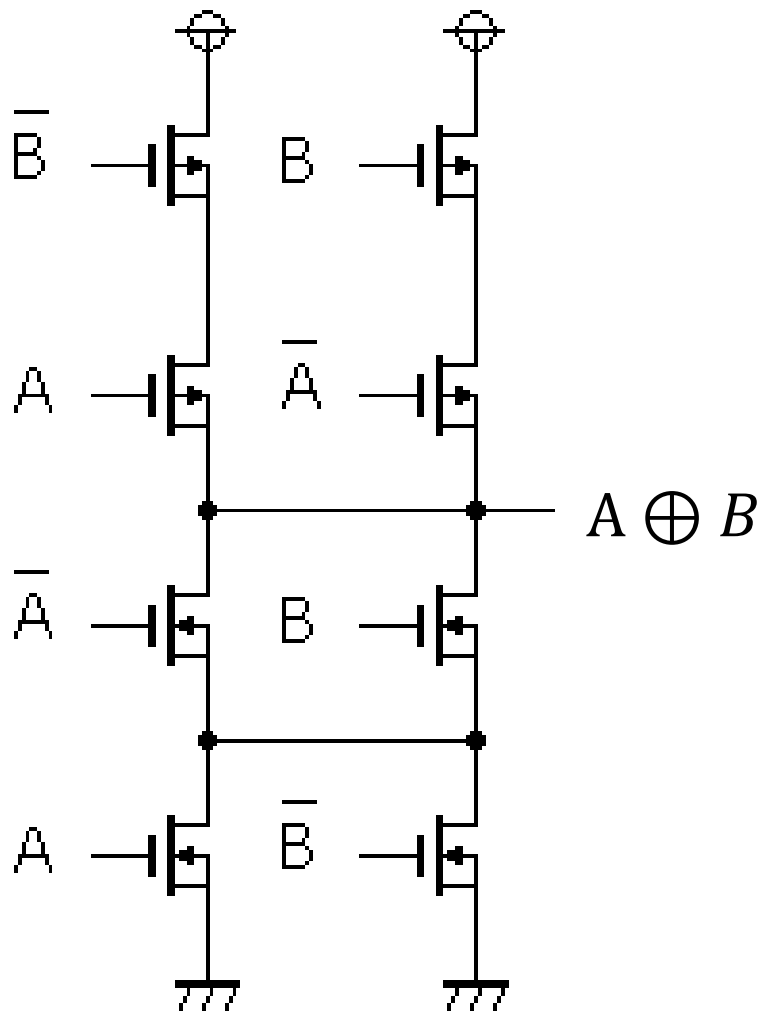
CMOS-NAND



A	B	C
1	1	0
1	0	1
0	1	1
0	0	1



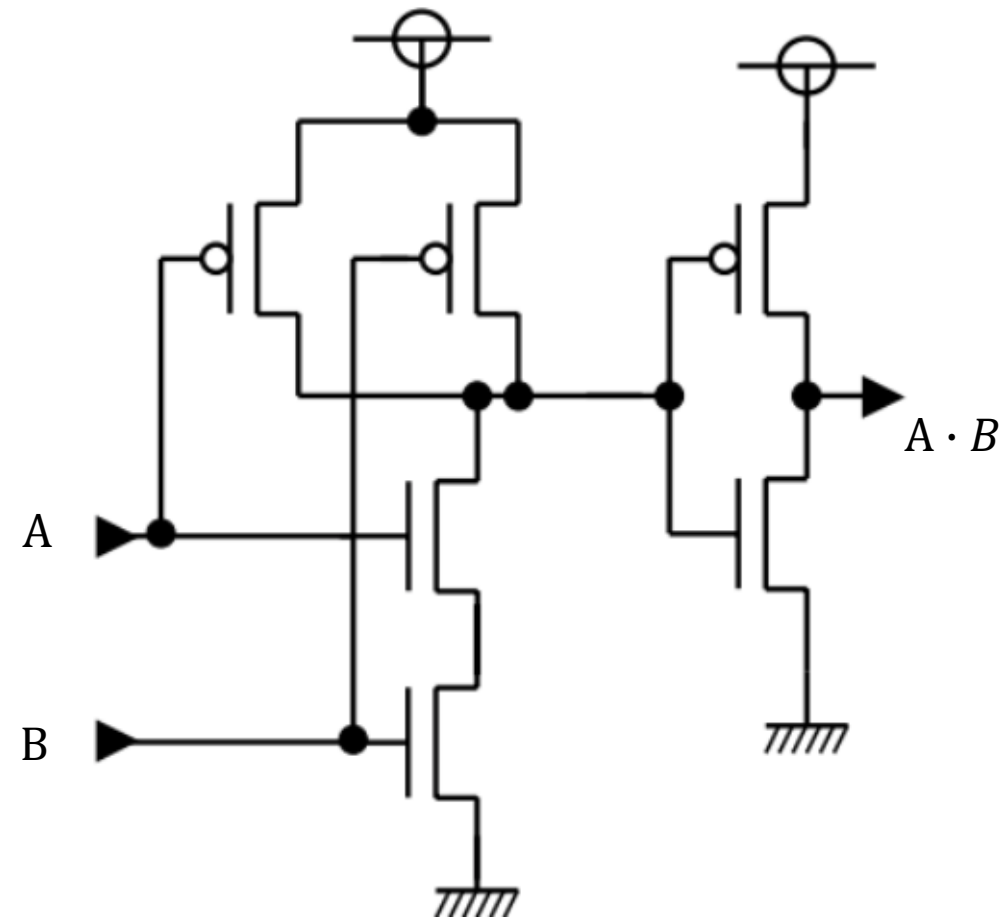
$C - MOS$: 論理演算



排他的論理和
(eXclusive OR)
(XOR)

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

排他的論理和: XOR



論理積: AND回路

A	B	$A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

$C - MOS$: 論理演算 $\rightarrow$ 算術演算

十進制		A	B		C	S
0	$\leftarrow$	0	0	$\rightarrow$	0	0
1	$\leftarrow$	0	1	$\rightarrow$	0	1
1	$\leftarrow$	1	0	$\rightarrow$	0	1
2	$\leftarrow$	1	1	$\rightarrow$	1	0

A + B の算術演算

A + B の算術演算

A + B の算術演算

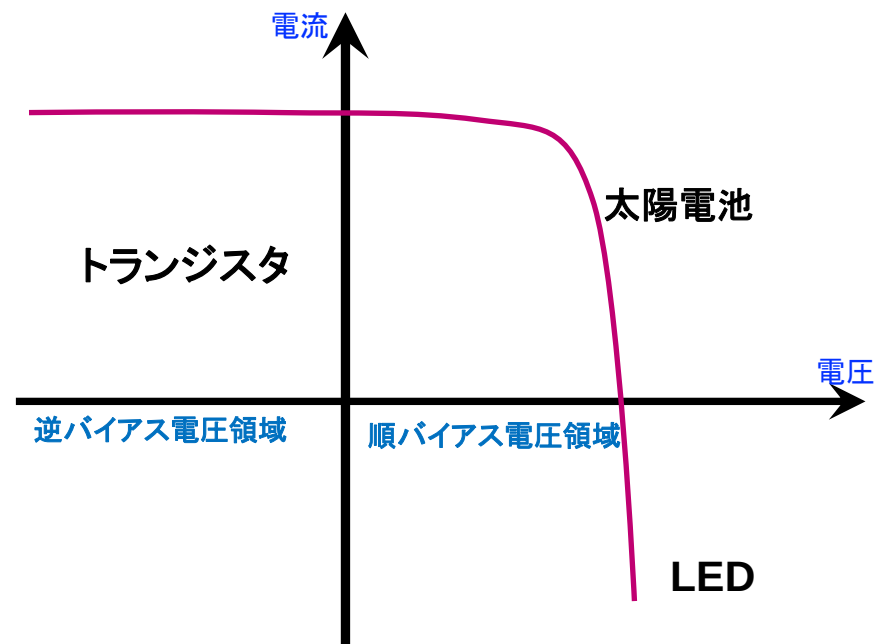
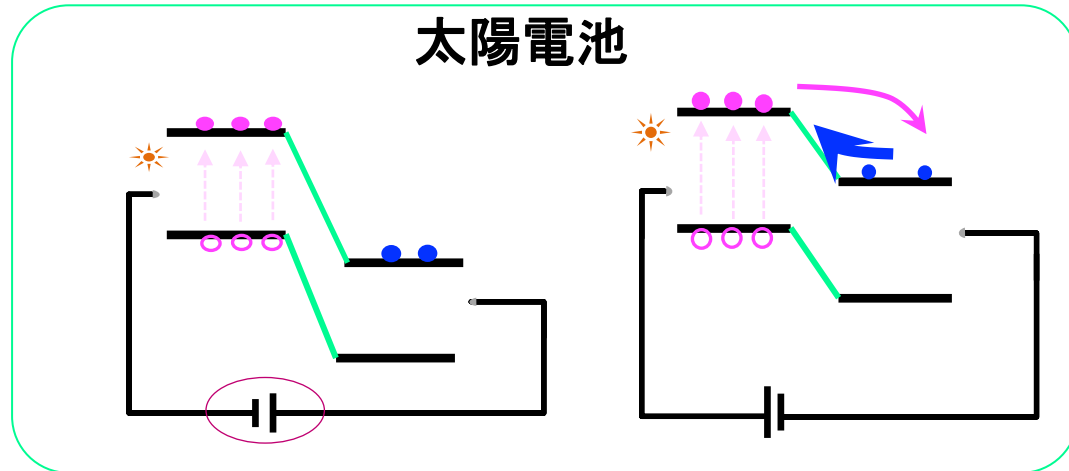
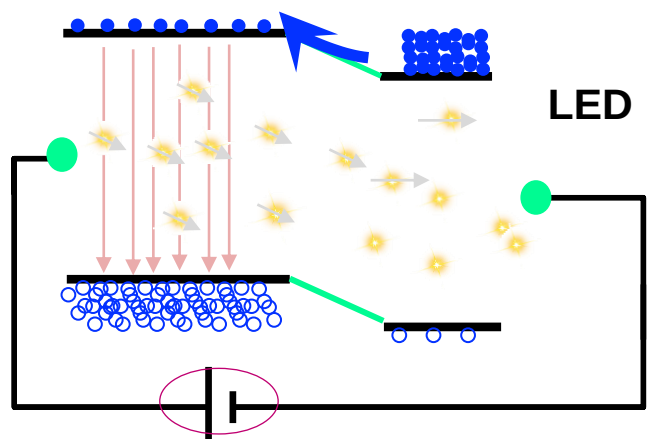
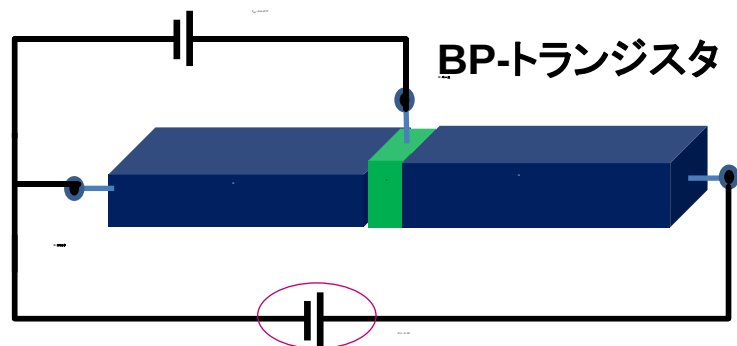
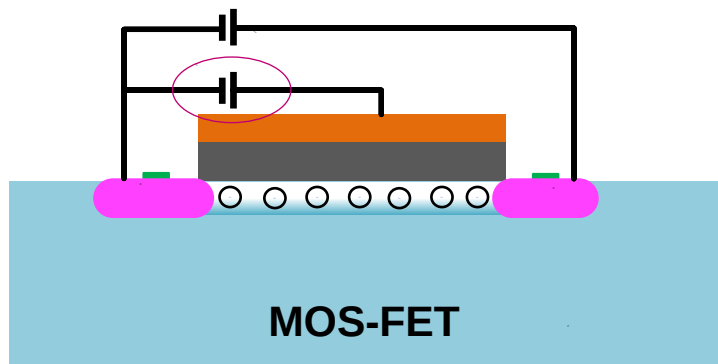
XOR: 論理演算

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

AND: 論理演算

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

まとめ:



マイコンのプロセス名に出てくる長さは何？

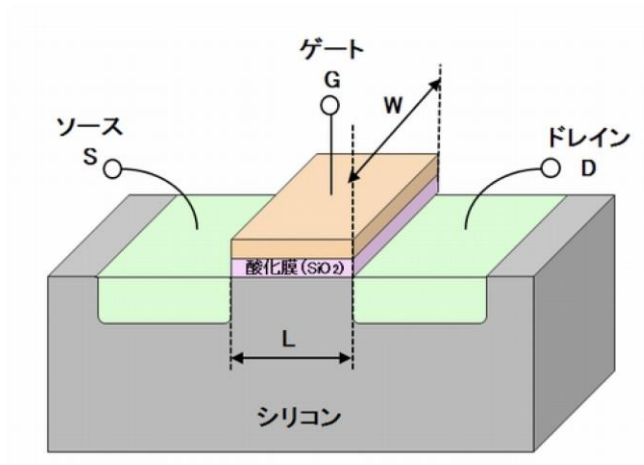
マイコンのカタログ、マニュアル、新製品紹介の記事などで「180nm CMOSプロセス」、「90nm プロセス」などの表記を目にしたことがあると思います。一方で、「微細プロセス」や「プロセスの微細化」という言葉を見たり聞いたりしたことがあると思います。これは、何を意味するもののでしょうか？

半導体のことをご存じの方は、180nmとか90nmとかの数字を小さくすることが微細化で、この数字が小さい方が、進化したプロセスだといわれると思います。では、180nmとか90nmとは具体的にマイコンのどこの長さでしょうか？

この寸法は、ウエハー上に加工された部分で、最も短い（小さい）部分の寸法を示します。「プロセスの最小加工寸法」と呼ばれています。では、具体的にどこの部分が最小加工寸法か分かりますか？

最小加工寸法の部分は、各マイコンメーカーの各プロセスによって異なります。配線で使用している金属膜の幅が最小であれば、その幅が最小加工寸法になります。MOSのゲートの長さが最小であれば、その長さが最小加工寸法になります。多くの場合、MOSのゲート長が最小加工寸法になっているようです。

図2にMOSの断面図を示しました。この図でドレインとソースの間の距離をゲートの長さ（L）と呼びます。また、もう一方の辺をゲートの幅（W）と呼びます。



【図2】 MOSの断面図

LはMOSのスイッチング速度や、ソース、ドレイン間に流れる電流値、また、ゲートの静電容量に影響を及ぼします。そのため、プロセスの名前にLの長さを使う慣習ができました。

すなわち、「180nm CMOSプロセス」とは、CMOS構成で、最も小さいMOSのゲート長 (L) が180nmであることを意味します。そして、MOSの寸法をさらに小さく (例えば、L=90nm) することをプロセスの微細化 (シュリンク：Shrink) と呼びます。

STのマイコンを例に挙げると、STM32F103シリーズは「180nm CMOSプロセス」、STM32F429シリーズは「90nm CMOSプロセス」です。

